

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Hiroshi HASHIMOTO, et al.**

Serial No.: **09/960,399**

Filed: **September 24, 2001**

P.T.O. Confirmation No.: **5652**

For: **SEMICONDUCTOR INTEGRATED CIRCUIT AND FABRICATION  
PROCESS THEREOF**

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
Washington, D.C. 20231

January 14, 2002

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

**Japanese Appln. No. 2001-188186, filed June 21, 2001**

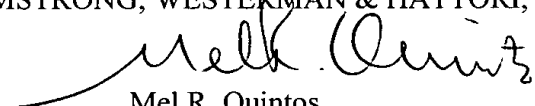
In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully Submitted,

ARMSTRONG, WESTERMAN & HATTORI, LLP

  
Mel R. Quintos  
Reg. No. 31,898

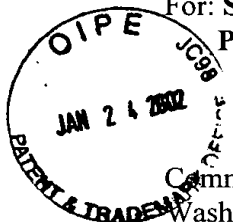
MRQ/ll  
Atty. Docket No. **011225**  
Suite 1000, 1725 K Street, N.W.  
Washington, D.C. 20006  
(202) 659-2930



**23850**

PATENT TRADEMARK OFFICE

2814  
#2  
C2  
02-15-02



FC 2000-110011  
JAN 23 2002  
RECEIVED

PATENT OFFICE  
JAPANESE GOVERNMENT



This is to certify that the annexed is a true copy  
of the following application as filed with this office.

Date of Application: June 21, 2001

Application Number: Japanese Patent Application  
No. 2001-188186

Applicant(s) FUJITSU LIMITED

RECEIVED  
JAN 23 2002  
10 2001 1000

August 31, 2001

Commissioner,  
Patent Office

Kouzo Oikawa (Seal)

Certificate No. 2001-3080999



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

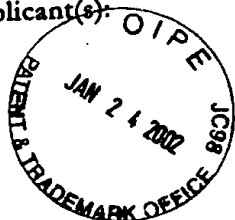
2001年 6月21日

出 願 番 号  
Application Number:

特願2001-188186

出 願 人  
Applicant(s):

富士通株式会社

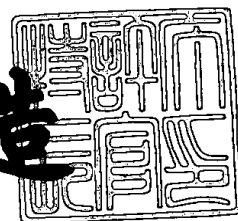


10 2001-188186  
JAN 25 2002  
JAN 25 2002

2001年 8月31日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3080999

【書類名】 特許願

【整理番号】 0140690

【提出日】 平成13年 6月21日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 27/08  
H01L 21/76  
H01L 91/94

【発明の名称】 半導体集積回路装置およびその製造方法

【請求項の数】 10

【発明者】  
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 橋本 広司

【発明者】  
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 高橋 浩司

【特許出願人】  
【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】  
【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデン  
プレイスタワー32階

【弁理士】  
【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】  
【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板表面に、少なくとも第 1 の活性領域と第 2 の活性領域と第 3 の活性領域とを画成する素子分離構造を形成する工程と、

前記第 1 の活性領域中に前記半導体基板の酸化を抑制する不純物元素を導入する工程と、

前記半導体基板に対して熱酸化処理を行い、前記第 1 の活性領域において前記半導体基板表面を第 1 の厚さで覆う第 1 の熱酸化膜を、また前記第 2 および第 3 の活性領域において前記半導体基板表面を第 2 の厚さで覆う第 2 の熱酸化膜を形成する工程と、

前記半導体基板表面に、少なくとも前記第 1 の活性領域と前記第 2 の活性領域と前記第 3 の活性領域とを覆うように耐酸化性膜を形成する工程と、

前記耐酸化性膜を前記第 1 および第 2 の活性領域に残したまま前記第 3 の活性領域において前記耐酸化性膜および前記第 2 の熱酸化膜を除去し、前記半導体基板の表面を露出する工程と、

前記半導体基板に対して熱酸化処理を行い、前記第 3 の活性領域において前記半導体基板表面に、第 3 の厚さの第 3 の熱酸化膜を形成し、同時に前記第 2 の熱酸化膜の膜厚を増大させる工程とを含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 2】 半導体基板表面に、少なくともフラッシュメモリセル領域と第 1 の活性領域と第 2 の活性領域とを画成する素子分離構造を形成する工程と、

前記半導体基板に対して熱酸化処理工程を行うことにより、前記フラッシュメモリセル領域と前記第 1 の活性領域と前記第 2 の活性領域とを覆うように前記半導体基板表面にトンネル酸化膜を形成する工程と、

前記半導体基板上に、少なくとも前記フラッシュメモリセル領域と前記第 1 の活性領域と前記第 2 の活性領域とを含むように、アモルファスシリコン膜と、窒化膜を含む耐酸化性絶縁膜とを順次堆積する工程と、

前記第 1 の活性領域において選択的に前記半導体基板の表面を露出する工程と

前記半導体基板に対して熱酸化処理を行うことにより、前記第 1 の領域において前記半導体基板表面に第 1 の熱酸化膜を形成する工程と、

前記第 2 の活性領域において選択的に前記半導体基板の表面を露出する工程と

前記半導体基板に対して熱酸化処理を行うことにより、前記第 2 の領域において前記半導体基板表面に第 2 の熱酸化膜を形成する工程とよりなることを特徴とする半導体集積回路装置の製造方法。

【請求項 3】 半導体基板表面に少なくともフラッシュメモリセル領域と第 1 の活性領域と第 2 の活性領域とを画成する素子分離構造を形成する工程と、

前記半導体基板に対して熱酸化処理を行うことにより、少なくとも前記フラッシュメモリセル領域と前記第 1 の活性領域と前記第 2 の活性領域とを覆うように前記半導体基板表面にトンネル酸化膜を形成する工程と、

前記半導体基板上に、少なくとも前記フラッシュメモリセル領域と前記第 1 および第 2 の活性領域を含むようにアモルファスシリコン膜を堆積する工程と、

前記第 1 および第 2 の活性領域において選択的に前記アモルファスシリコン膜を除去する工程と、

前記半導体基板上に、少なくとも前記フラッシュメモリセル領域と前記第 1 の活性領域と前記第 2 の活性領域を覆うように、耐酸化性絶縁膜を堆積する工程と

前記第 1 の活性領域において選択的に前記耐酸化性絶縁膜を除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、残留している前記耐酸化性絶縁膜を耐酸化性マスクとして熱酸化処理を行い、前記第 1 の活性領域において前記半導体基板表面を覆うように第 1 の熱酸化膜を形成する工程と、

前記第 2 の活性領域において選択的に前記耐酸化性膜を除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、残留している前記耐酸化性絶縁膜を耐酸化性マスクとして熱処理工程を行い、前記第 2 の活性領域において前記半導体基板表面を覆

うように第2の熱酸化膜を形成する工程とよりなることを特徴とする半導体集積回路装置の製造方法。

【請求項4】 半導体基板表面に、フラッシュメモリセル領域と第1の活性領域と第2の活性領域と第3の活性領域とを画成する素子分離構造を形成する工程と、

前記第1の活性領域に酸化を抑制する不純物元素を導入する工程と、

前記半導体基板に対して熱酸化処理を行うことにより、前記フラッシュメモリセル領域および第2～第3の活性領域において第1の膜厚を有するトンネル酸化膜を形成し、前記第1の活性領域において前記第1の膜厚よりも小さい第2の膜厚を有する第1の熱酸化膜を形成する工程と、

前記半導体基板上に、前記フラッシュメモリセル領域および前記第1～第3の活性領域を含むようにアモルファスシリコン膜と耐酸化性絶縁膜とを順次堆積する工程と、

前記第2の活性領域において選択的に前記耐酸化性絶縁膜を除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、残留している前記耐酸化性絶縁膜を耐酸化性マスクとして熱酸化処理を行うことにより、前記第2の活性領域において前記半導体基板表面を覆うように第2の熱酸化膜を形成する工程と、

前記第3の活性領域において選択的に前記耐酸化性絶縁膜を除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、残留している前記耐酸化性絶縁膜をマスクとして熱酸化処理を行うことにより、前記第3の活性領域において前記半導体基板表面を覆うように第3の熱酸化膜を形成する工程とよりなることを特徴とする半導体集積回路装置の製造方法。

【請求項5】 半導体基板表面に、フラッシュメモリセル領域と第1の活性領域と第2の活性領域と第3の活性領域とを画成する素子分離構造を形成する工程と、

前記第1の活性領域に酸化を抑制する不純物元素を導入する工程と、

前記半導体基板に対して熱酸化処理を行うことにより、前記フラッシュメモリ



セル領域および第 2～第 3 の活性領域において第 1 の膜厚を有するトンネル酸化膜を形成し、前記第 1 の活性領域において前記第 1 の膜厚よりも小さい第 2 の膜厚を有する第 1 の熱酸化膜を形成する工程と、

前記半導体基板上に、前記フラッシュメモリセル領域および前記第 2～第 3 の活性領域の各々において前記トンネル酸化膜を覆うように、また前記第 1 の活性領域において前記第 1 の熱酸化膜を覆うように、第 1 のアモルファスシリコン膜と耐酸化性絶縁膜とを順次堆積する工程と、

前記第 2 の活性領域において選択的に前記耐酸化性絶縁膜を除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、残留している前記耐酸化性絶縁膜をマスクに熱酸化処理を行うことにより、前記第 2 の活性領域において前記半導体基板表面を覆うように第 2 の熱酸化膜を形成する工程と、

前記第 3 の活性領域において選択的に前記耐酸化性絶縁膜を除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、残留している前記耐酸化性絶縁膜をマスクに熱酸化処理を行うことにより、前記第 3 の活性領域において前記半導体基板表面を覆うように第 3 の熱酸化膜を形成する工程と、

前記第 1 の活性領域において選択的に前記耐酸化性絶縁膜を除去する工程と、

前記半導体基板上に、前記フラッシュメモリセル領域および前記第 1～第 3 の活性領域を含むように、第 2 のアモルファスシリコン膜を堆積する工程とよりなることを特徴とする半導体集積回路装置の製造方法。

【請求項 6】 半導体基板表面に、フラッシュメモリセル領域と第 1 の活性領域と第 2 の活性領域と第 3 の活性領域とを画成する素子分離構造を形成する工程と、

前記第 1 の活性領域に酸化を抑制する不純物元素を導入する工程と、

前記半導体基板に対して熱酸化処理を行うことにより、前記フラッシュメモリセル領域および第 2～第 3 の活性領域において第 1 の膜厚を有するトンネル酸化膜を形成し、前記第 1 の活性領域において前記第 1 の膜厚よりも小さい第 2 の膜厚を有する第 1 の熱酸化膜を形成する工程と、

前記半導体基板上に、前記フラッシュメモリセル領域および前記第1～第3の活性領域を含むように、第1のアモルファスシリコン膜と耐酸化性絶縁膜とを順次堆積する工程と、

前記第2の活性領域において選択的に前記耐酸化性絶縁膜を除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、残留している前記耐酸化性絶縁膜を耐酸化性マスクに熱酸化処理を行うことにより、前記第2の活性領域において前記半導体基板表面を覆うように第2の熱酸化膜を形成する工程と、

前記第3の活性領域において選択的に前記耐酸化性絶縁膜を除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、残留している前記耐酸化性絶縁膜をマスクに熱酸化処理を行うことにより、前記第3の活性領域において前記半導体基板表面を覆うように第3の熱酸化膜を形成する工程と、

前記半導体基板上に、前記フラッシュメモリセル領域および前記第1～第3の活性領域を含むように、第2のアモルファスシリコン膜を堆積する工程と、

前記第1の活性領域において前記第2のアモルファスシリコン膜と前記耐酸化性絶縁膜とを選択的に除去する工程とよりなることを特徴とする半導体集積回路装置の製造方法。

【請求項7】 半導体基板表面に、フラッシュメモリセル領域と第1の活性領域と第2の活性領域と第3の活性領域とを画成する素子分離構造を形成する工程と、

前記第1の活性領域に酸化を抑制する不純物元素を導入する工程と、

前記半導体基板に対して熱酸化処理を行うことにより、前記フラッシュメモリセル領域および第2～第3の活性領域において第1の膜厚を有するトンネル酸化膜を形成し、前記第1の活性領域において前記第1の膜厚よりも小さい第2の膜厚を有する第1の熱酸化膜を形成する工程と、

前記半導体基板上に、前記フラッシュメモリセル領域および前記第2～第3の活性領域の各々において前記トンネル酸化膜を覆うように、また前記第1の活性領域において前記第1の熱酸化膜を覆うように、第1のアモルファスシリコン膜

と耐酸化性絶縁膜とを順次堆積する工程と、

前記第 2 の活性領域において選択的に前記耐酸化性絶縁膜を除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、残留している前記耐酸化性絶縁膜をマスクに熱酸化処理を行うことにより、前記第 2 の活性領域において前記半導体基板表面を覆うように第 2 の熱酸化膜を形成する工程と、

前記第 3 の活性領域において選択的に前記耐酸化性絶縁膜を除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して残留している前記耐酸化性絶縁膜を耐酸化性マスクに熱酸化処理を行うことにより、前記第 3 の活性領域において前記半導体基板表面を覆うように第 3 の熱酸化膜を形成する工程と、

前記半導体基板上に、前記フラッシュメモリセル領域および前記第 1 ～第 3 の活性領域を含むように第 2 のアモルファスシリコン膜を堆積する工程と、

前記フラッシュメモリセル領域において前記第 2 のアモルファスシリコン膜をパターニングしてコントロールゲートパターンを形成し、同時に前記第 1 の活性領域において前記第 2 のアモルファスシリコン膜を除去する工程とよりなることを特徴とする半導体集積回路装置の製造方法。

【請求項 8】 半導体基板表面に、フラッシュメモリセル領域と第 1 の活性領域と第 2 の活性領域と第 3 の活性領域とを画成する素子分離構造を形成する工程と、

前記半導体基板に対して熱酸化処理を行うことにより、前記フラッシュメモリセル領域および第 1 ～第 3 の活性領域において第 1 の熱酸化膜を形成する工程と、

前記半導体基板上に、前記フラッシュメモリセル領域および前記第 1 ～第 3 の活性領域を含むように第 1 のアモルファスシリコン膜を堆積する工程と、

前記第 2 の活性領域において選択的に前記第 1 のアモルファスシリコン膜を除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して熱酸化処理を行うことにより、前記第 2 の活性領域において前記半導体基板表面を覆うように第 2 の熱酸化膜を形成する工程と、

前記第3の活性領域において前記半導体基板中に酸化を抑制する不純物元素を選択的に導入する工程と、

前記フラッシュメモリセル領域および前記第3の活性領域において選択的に前記第1のアモルファスシリコン膜および前記第1の熱酸化膜を除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して熱酸化処理を行うことにより、前記フラッシュメモリセル領域において前記半導体基板表面を覆うようにトンネル酸化膜を、また前記第3の活性領域において前記半導体基板表面を覆うように第3の熱酸化膜を同時に形成する工程と、

前記半導体基板上に、前記フラッシュメモリセル領域および前記第1～第3の活性領域を含むように第2のアモルファスシリコン膜を堆積する工程と、

前記フラッシュメモリセル領域において前記第2のアモルファスシリコン膜をパターニングしてゲート電極を形成し、同時に前記第1の活性領域において前記アモルファスシリコン膜を除去する工程とよりなることを特徴とする半導体集積回路装置の製造方法。

【請求項9】 半導体基板上に、フラッシュメモリセル領域および第1～第3の活性領域を画成する素子分離構造を形成する工程と、

前記フラッシュメモリセル領域および前記第1～第3の活性領域の各々に、前記半導体基板表面を覆うように窒化膜を含む耐酸化性絶縁膜を形成する工程と、

前記第1の活性領域において前記耐酸化性絶縁膜を選択的に除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、前記残留している耐酸化性絶縁膜を耐酸化性マスクに熱酸化処理工程を行い、前記第1の活性領域において前記半導体基板表面に第1の熱酸化膜を形成する工程と、

前記第2の活性領域において前記耐酸化性絶縁膜を選択的に除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、前記残留している耐酸化性絶縁膜を耐酸化性マスクに熱酸化処理工程を行い、前記第2の活性領域において前記半導体基板表面に第2の熱酸化膜を形成する工程と、

前記第 3 の活性領域において前記耐酸化性絶縁膜を選択的に除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、前記残留している耐酸化性絶縁膜を耐酸化性マスクに熱酸化処理工程を行い、前記第 3 の活性領域において前記半導体基板表面に第 3 の熱酸化膜を形成する工程とよりなることを特徴とする半導体集積回路装置の製造方法。

【請求項 10】 半導体基板上に、フラッシュメモリセル領域および第 1 ～第 3 の活性領域を画成する素子分離構造を形成する工程と、

前記フラッシュメモリセル領域および前記第 1 ～第 3 の活性領域の各々に、前記半導体基板表面を覆うように窒化膜を含む耐酸化性絶縁膜を形成する工程と、

前記フラッシュメモリセル領域にのみ、選択的にソース領域とドレイン領域とを形成する工程と、

前記第 1 の活性領域において前記耐酸化性絶縁膜を選択的に除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、前記残留している耐酸化性絶縁膜を耐酸化性マスクに熱酸化処理工程を行い、前記第 1 の活性領域において前記半導体基板表面に第 1 の熱酸化膜を形成する工程と、

前記第 2 の活性領域において前記耐酸化性絶縁膜を選択的に除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、前記残留している耐酸化性絶縁膜を耐酸化性マスクに熱酸化処理工程を行い、前記第 2 の活性領域において前記半導体基板表面に第 2 の熱酸化膜を形成する工程と、

前記第 3 の活性領域において前記耐酸化性絶縁膜を選択的に除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、前記残留している耐酸化性絶縁膜を耐酸化性マスクに熱酸化処理工程を行い、前記第 3 の活性領域において前記半導体基板表面に第 3 の熱酸化膜を形成する工程とよりなることを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

## 【発明の属する技術分野】

本発明は一般に半導体装置およびその製造方法に係り、特に不揮発性半導体記憶装置を含み、複数の電源電圧を使う半導体装置集積回路装置の製造方法に関する。

【 0 0 0 2 】

フラッシュメモリ装置はフローティングゲート電極中に情報を電荷の形で蓄積する不揮発性半導体記憶装置であり、簡単な素子構成を有しているため、大規模集積回路装置を構成するのに適している。

【 0 0 0 3 】

フラッシュメモリ装置では情報の書き込みおよび消去が、フローティングゲート電極へのトンネル絶縁膜を介したホットキャリアの注入および引き抜きによりなされるが、かかるホットキャリアを発生させるためには高電圧が必要とされ、そのためフラッシュメモリ装置では、メモリセルと協働する周辺回路に電源電圧を昇圧する昇圧回路が設けられている。従って、このような周辺回路において使われるトランジスタは高電圧で動作する必要がある。

【 0 0 0 4 】

一方、最近ではこのようなフラッシュメモリ装置を高速論理回路と共に共通の半導体基板上に、半導体集積回路装置の形で形成することが行われている。このような高速論理回路では、使われるトランジスタは低電圧動作をする必要があり、このためかかる半導体集積回路装置では複数の電源電圧を使う必要がある。

【 0 0 0 5 】

## 【従来の技術】

図 1 (A) ～図 9 (Q) は、かかるフラッシュメモリを含み、多電源電圧に対応した従来の半導体集積回路装置の製造工程を示す図である。

【 0 0 0 6 】

図 1 (A) を参照するに、フィールド酸化膜あるいは S T I 構造などの素子分離構造 (図示せず) が形成された S i 基板 1 1 上にはフラッシュメモリセル領域 A, 低電圧動作トランジスタ領域 B, および高電圧動作トランジスタ領域 C が画

成されており、図 1 (A) の工程では前記領域 A ~ C 上に、 $800 \sim 1100^{\circ}\text{C}$  での前記 Si 基板 11 表面の熱酸化工程により、トンネル酸化膜 12 A が  $8 \sim 10 \text{ nm}$  の厚さに形成される。さらに図 1 (B) の工程において前記トンネル酸化膜 12 A 上に P (リン) でドーブされた  $80 \sim 90 \text{ nm}$  の厚さのアモルファスシリコン膜 13 と、いわゆる ONO 構造を有する絶縁膜 14 とが順次堆積される。ONO 絶縁膜 14 は、前記アモルファスシリコン膜 13 上に CVD 法により  $5 \sim 7 \text{ nm}$  の厚さに堆積された  $\text{SiO}_2$  膜 14 a と、前記  $\text{SiO}_2$  膜 14 a 上に CVD 法により  $7 \sim 9 \text{ nm}$  の厚さに堆積された SiN 膜 14 b と、前記 SiN 膜 14 b の表面に形成された  $5 \sim 10 \text{ nm}$  の厚さの熱酸化膜 14 c とよりなり、優れたリーク電流特性を有している。

## 【0007】

次に図 2 (C) の工程において、前記フラッシュメモリセル領域 A 上にレジストパターン 15 A を形成し、前記レジストパターン 15 A をマスクに、前記 Si 基板 11 上の ONO 膜 14、アモルファスシリコン膜 13 およびトンネル絶縁膜 12 A を、前記低電圧動作トランジスタ領域 B および高電圧動作トランジスタ領域 C において除去し、前記領域 B および C において前記 Si 基板 11 の表面を露出する。前記トンネル絶縁膜 12 A の除去工程においては HF によるウェットエッチングが実行され、その結果前記 Si 基板 11 の表面が前記領域 B および C においては HF に曝される。

## 【0008】

次に図 2 (D) の工程において前記レジストパターン 15 A を除去し、さらに  $800 \sim 1100^{\circ}\text{C}$  の温度で熱酸化工程を行うことにより、前記領域 B および C 上に、前記 Si 基板 11 を覆うように熱酸化膜 12 C を  $10 \sim 50 \text{ nm}$  の厚さに形成する。

## 【0009】

さらに図 3 (E) の工程において前記 Si 基板 11 上に前記フラッシュメモリセル領域 A において前記 ONO 膜 14 を覆うように、また前記高電圧トランジスタ形成領域 C において前記熱酸化膜 12 C を覆うように次のレジストパターン 15 B を形成し、前記レジストパターン 15 B をマスクに、前記 Si 基板 11 上の

熱酸化膜 12C を前記低電圧動作トランジスタ領域 B において HF 処理により除去し、前記 Si 基板 11 の表面を露出する。図 3 (E) の工程により、前記領域 B においては Si 基板 11 の表面が二度目の HF 処理を受ける。

#### 【0010】

次に図 3 (F) の工程において前記レジストパターン 15B を除去し、さらに前記領域 B において露出した Si 基板 11 上に  $800 \sim 1100^{\circ}\text{C}$  における熱酸化処理により、厚さが  $1.5 \sim 3\text{ nm}$  の熱酸化膜 12B を形成する。また図 3 (F) の工程では、前記熱酸化膜 12B を形成する熱酸化工程の結果、前記高電圧動作トランジスタ領域 C 上に形成されている前記熱酸化膜 12C の厚さが増大する。

#### 【0011】

次に図 4 (G) の工程において図 3 (F) の構造上に P ドープしたアモルファスシリコン膜 16 がプラズマ CVD 法により  $150 \sim 200\text{ nm}$  の厚さに堆積され、次いで図 4 (H) の工程において前記レジストパターン 17A をマスクに前記アモルファスシリコン膜 16、前記 ONO 膜 14 および前記アモルファスシリコン膜 13 を順次パターニングすることにより、前記フラッシュメモリセル領域 A においてアモルファスシリコンパターン 13A、ONO パターン 14A およびアモルファスシリコンパターン 16A よりなり、前記アモルファスシリコンパターン 13A をフローティングゲート電極として含むフラッシュメモリの積層ゲート電極構造 16F が形成される。なお図 4 (G) の工程において前記アモルファスシリコン膜 16 上に必要に応じて WSi や  $\text{CoSi}$  などのシリサイド膜を形成することも可能である。

#### 【0012】

次に図 5 (I) の工程において前記レジストパターン 17A が除去され、新にレジストパターン 17B が、前記フラッシュメモリセル領域 A を覆うように形成され、前記レジストパターン 17B をマスクに前記低電圧動作トランジスタ領域 B および高電圧動作トランジスタ領域 C において前記アモルファスシリコン膜 16 をパターニングすることにより、前記領域 B に低電圧動作トランジスタのゲート電極 16B が、また前記領域 C に高電圧動作トランジスタのゲート電極 16C



が形成される。

### 【0013】

次に図5（J）の工程において前記レジストパターン17Bを除去し、800～900℃での熱酸化処理により、前記フラッシュメモリセル領域Aにおいて前記積層ゲート電極構造16Fを覆うように、また前記低電圧動作トランジスタ形成領域Bにおいて前記ゲート電極16Bを覆うように、さらに前記高電圧動作トランジスタ形成領域Cにおいて前記ゲート電極16Cを覆うように、保護酸化膜18が形成される。

### 【0014】

次に図6（K）の工程において、図5（J）の構造上に前記低電圧動作トランジスタおよび高電圧動作トランジスタの形成領域BおよびCを覆うように、また前記フラッシュメモリセル領域Aを部分的に覆うようにレジストパターン19Aが形成され、前記レジストパターン19Aおよび前記積層ゲート電極16FをマスクにP<sup>+</sup>のイオン注入を、典型的には50～80keVの加速電圧で、 $1 \times 10^{14} \text{ cm}^{-2} \sim 3 \times 10^{14} \text{ cm}^{-2}$ のドーズ量で行い、前記Si基板11中に前記積層ゲート電極16Fに隣接してn型拡散領域11aを形成する。

### 【0015】

図6（K）の工程では、さらに前記レジストパターン19AをマスクにAs<sup>+</sup>のイオン注入を、典型的には30～50keVの加速電圧で、 $4 \times 10^{15} \sim 6 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で行い、前記n型拡散領域11a内に別のn型拡散領域11bを形成する。図6（K）の工程では、前記低電圧動作トランジスタ領域Bおよび高電圧動作トランジスタ領域Cは前記レジストパターン19Aにより覆われているため、イオン注入は生じない。

### 【0016】

次に図6（L）の工程において前記レジストパターン19Aが除去され、新たにレジストパターン19Bが前記領域Aを露出するように、また前記領域BおよびCを覆うように形成される。図6（L）の工程ではさらに前記レジストパターン19BをマスクにAs<sup>+</sup>のイオン注入が30～50keVの加速電圧下、 $5 \times 10^{14} \sim 1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で実行され、その結果前記n型拡散領域11

b 中の不純物濃度が増大すると同時に、前記フラッシュメモリ領域 A 中にさらに別の n 型拡散領域 1 1 c が、前記積層ゲート構造 1 6 F を自己整合マスクに形成される。

#### 【 0 0 1 7 】

次に図 7 (M) の工程において前記レジストパターン 1 9 B は除去され、前記低電圧動作トランジスタ領域 B のみを露出するようにレジストパターン 1 9 C が前記 S i 基板 1 1 上に形成される。さらに図 7 (M) の工程では前記レジストパターン 1 9 C をマスクに p 型不純物あるいは n 型不純物をイオン注入し、前記領域 B において前記ゲート電極 1 6 B を自己整合マスクに、一对の L D D 拡散領域 1 1 d を前記 S i 基板 1 1 中、前記ゲート電極 1 6 B の両側に形成する。

#### 【 0 0 1 8 】

次に図 7 (N) の工程において前記レジストパターン 1 9 C は除去され、前記高電圧動作トランジスタ領域 C のみを露出するようにレジストパターン 1 9 D が前記 S i 基板 1 1 上に形成される。さらに図 7 (N) の工程では前記レジストパターン 1 9 D をマスクに p 型あるいは n 型の不純物元素がイオン注入され、前記 S i 基板 1 1 中、前記ゲート電極 1 6 C の両側に一对の L D D 拡散領域 1 1 e が形成される。

#### 【 0 0 1 9 】

さらに図 8 (O) の工程において前記積層ゲート電極 1 6 F、前記ゲート電極 1 6 B および前記ゲート電極 1 6 C の両側に側壁絶縁膜 1 6 s が C V D 酸化膜の堆積およびエッチバックにより形成され、図 8 (P) の工程において前記フラッシュメモリセル領域 A を覆うレジストパターン 1 9 E を、前記レジストパターン 1 9 E が前記低電圧動作トランジスタ領域 B および高電圧動作トランジスタ領域 C を露出するように形成される。さらに p 型不純物元素あるいは n 型不純物元素を前記レジストパターン 1 9 E およびゲート電極 1 6 B、1 6 C をマスクにイオン注入することにより、前記領域 B においては前記 S i 基板 1 1 中、前記ゲート電極 1 6 B の外側に p+型あるいは n+型の拡散領域 1 1 f が形成される。同様に前記領域 C においては前記 S i 基板中、前記ゲート電極 1 6 C の外側に p+型あるいは n+型の拡散領域 1 1 g が形成される。前記拡散領域 1 1 f および 1 1 g

の表面には、必要に応じてサリサイド工程によりW Si やC o S i などの低抵抗シリサイド膜を形成することも可能である。

#### 【0020】

さらに図9 (Q) の工程において前記S i 基板1 1 上に層間絶縁膜2 0 が前記領域A～Cを連続して覆うように形成され、さらに前記層間絶縁膜2 0 中に前記領域Aにおいては前記拡散領域1 1 bおよび1 1 cを露出するコンタクトホールが形成され、前記コンタクトホール中にはWプラグ2 0 Aが形成される。同様に前記領域Bにおいては前記拡散領域1 1 fを露出するコンタクトホールが形成され、前記コンタクトホール中にはWプラグ2 0 Bが形成される。また前記領域Cにおいては前記層間絶縁膜2 0 中に前記拡散領域1 1 gを露出するコンタクトホールが形成され、前記コンタクトホール中にはWプラグ2 0 Cが形成される。

#### 【0021】

##### 【発明が解決しようとする課題】

ところで、このようなフラッシュメモリと周辺回路、さらに高速論理回路を一体的に集積化した半導体集積回路装置を図1 (A)～図9 (Q) の工程に従って形成する場合、図1 (B) の工程において前記アモルファスシリコン膜1 3 とONO膜1 4 とは図1 0 (A) に示すように前記フラッシュメモリセル領域Aにおいては平坦なS i 基板表面上に形成されるが、前記低電圧動作トランジスタ領域Bあるいは高電圧動作トランジスタ領域Cにおいては前記アモルファスシリコン膜1 3 とONO膜1 4 とは、図1 0 (B), (C) に示すように前記領域BあるいはCを画成するフィールド酸化膜1 1 Fが形成する凹部中に形成されることになる。

#### 【0022】

そこで図2 (C) の工程において前記領域BおよびCから前記トンネル絶縁膜1 2 Aを除去した場合、図1 1 (A)～(C) の拡大図に示すように、前記領域BおよびCにおいて前記凹部がH Fによりエッチングされる。その結果、前記領域BおよびCにおいて前記凹部の深さが多少増大する。

#### 【0023】

さらに図2 (D) の工程において前記領域BおよびCに熱酸化膜1 2 Bを形成

した場合、図 1 2 (A) ~ (C) に詳細に示すように、前記領域 B および C において前記凹部の底面が前記熱酸化膜 1 2 B により多少上昇し、周囲のフィールド酸化膜 1 1 F との間に段差が出現するが、図 3 (E) の工程において前記熱酸化膜 1 2 B を前記領域 B から H F エッチングにより除去する結果、前記図 1 2 (B), (C) の段差に対応した段差が、図 1 3 (B), (C) 中に円で囲んだように前記領域 B の S i 基板表面とフィールド酸化膜 1 1 F との境界部に形成されてしまう。これに対し、図 1 3 (A) に示すようにフラッシュメモリセル領域 A は平坦なままである。

#### 【 0 0 2 4 】

さらに図 3 (F) の工程において前記領域 B 上に熱酸化膜 1 2 B を形成した場合、図 1 4 (B), (C) に示すように同様な段差が特に前記低電圧動作トランジスタ領域 B において S i 基板表面とフィールド酸化膜 1 1 F との境界部に形成されるが、かかる段差部においては前記熱酸化膜 1 2 B の厚さが必然的に減少してしまう。一方、図 1 4 (A) に示すように前記フラッシュメモリセル領域 A では基板 1 1 の表面は平坦なままである。そこで、かかる段差部において熱酸化膜 1 2 B の厚さが減少している構造上に図 4 (G) の工程においてゲート電極 1 6 を形成して低電圧動作トランジスタを形成した場合、かかるトランジスタはゲート絶縁膜の厚さの異なる、従って異なったしきい値電圧を有する複数の M O S トランジスタの集合体となってしまう、所望の動作特性を得ることができなくなる傾向がある。

#### 【 0 0 2 5 】

このため、従来のフラッシュメモリセルと低電圧動作トランジスタと高電圧動作トランジスタとを集積した半導体集積回路装置においては、前記低電圧動作トランジスタのゲート絶縁膜 1 2 B の厚さを前記 1 . 5 ~ 3 . 0 n m 程度に設定してこの問題を回避していた。

#### 【 0 0 2 6 】

また同様な問題は、図 1 5 (A), (B) に示す素子分離構造としてフィールド酸化膜 1 1 F の代わりに S T I 構造 1 1 G を使った半導体集積回路装置においても生じる。S T I 構造 1 1 G では基板主面に対して急峻な角度をなす素子分離

溝上における絶縁膜の膜厚減少の問題が知られており、従って図 1 (A) ～図 9 (Q) の工程は、この問題をさらに悪化させてしまう。

#### 【 0 0 2 7 】

さらに図 1 (A) ～図 9 (Q) の従来の工程では、図 2 (C) の工程および図 3 (E) の工程の計 2 回、前記低電圧動作トランジスタ領域 B において S i 基板 1 1 の表面が H F 処理されており、その結果、前記領域 B において形成される M O S トランジスタのしきい値特性が変化してしまうおそれがある。S i 基板 1 1 の表面には、あらかじめしきい値制御のために一般にわずかな不純物元素が導入されているが、このように S i 基板 1 1 の表面を繰り返し H F に曝した場合、基板表面が多少とも侵食されるのが避けられない。これが生じると、形成される M O S トランジスタのしきい値特性は設計値からずれてしまうことになる。

#### 【 0 0 2 8 】

一方、最近ではフラッシュメモリ装置を含む半導体集積回路装置において、多数の電源電圧を使いたい要求が強い。このような多電源電圧半導体集積回路装置においては、フラッシュメモリセル以外に、各々の電源電圧に対応して最適な厚さのゲート絶縁膜を有する M O S トランジスタを形成する必要がある。

#### 【 0 0 2 9 】

図 1 6 (A) ～図 2 2 (M) は、先の図 1 (A) ～図 9 (Q) の工程を、フラッシュメモリセルのほかに低電圧動作トランジスタ、中電圧動作トランジスタ、および高電圧動作トランジスタを含む半導体集積回路装置の製造のために拡張した場合を示す。ただし図 1 6 (A) ～図 2 2 (M) の工程は、後で説明する問題のため、実際に使用されているものではない。図 1 6 (A) ～図 2 2 (M) 中、先に説明した部分には同一の参照符号を付し、説明を省略する。

#### 【 0 0 3 0 】

図 1 6 (A) を参照するに、前記 S i 基板 1 1 の表面には前記フラッシュメモリセル領域 A、低電圧動作トランジスタ領域 B および高電圧動作トランジスタ領域 C の他に中電圧動作トランジスタ領域 D がフィールド酸化膜により画成されて形成されており、図 1 6 (A) の工程においては前記図 1 (A) の工程と同様に、前記領域 A ～ D に一様にトンネル酸化膜 1 2 A が形成されている。

## 【 0 0 3 1 】

次に図 1 6 ( B ) の工程において先の図 1 ( B ) の工程に対応して前記領域 A ~ D の各々において前記トンネル酸化膜 1 2 A 上にアモルファスシリコン膜 1 3 と O N O 膜 1 4 とが順次形成され、図 2 ( C ) に対応する図 1 7 ( C ) の工程においてレジストパターン 1 5 A を使い、前記フラッシュメモリセル領域 A 以外からトンネル酸化膜 1 2 A、アモルファスシリコン膜 1 3 および O N O 膜 1 4 を除去し、S i 基板 1 1 の表面を露出する。図 1 7 ( C ) の工程では、前記領域 B ~ D の各々において前記トンネル酸化膜 1 2 A を除去する際に前記 S i 基板 1 1 の表面が H F に曝される。

## 【 0 0 3 2 】

次に図 1 7 ( D ) の工程において前記 S i 基板 1 1 を図 2 ( D ) の工程と同様に熱酸化処理することにより、前記領域 B ~ D の各々において前記 S i 基板 1 1 の表面を覆うように熱酸化膜 1 2 C が形成される。

## 【 0 0 3 3 】

次に図 1 8 ( E ) の工程において図 1 7 ( D ) の構造上に前記領域 D を除いてレジストパターン 1 5 D を形成し、前記レジストパターン 1 5 D をマスクに H F 処理を行うことにより、前記領域 D において前記 S i 基板 1 1 の表面から前記熱酸化膜 1 2 C を除去する。

## 【 0 0 3 4 】

次に図 1 8 ( F ) の工程において前記レジストパターン 1 5 D を除去し、前記領域 D において露出された S i 基板 1 1 の表面に  $800 \sim 1100^{\circ}\text{C}$  における熱酸化処理により、熱酸化膜 1 2 D を  $5 \sim 10\text{nm}$  の厚さに形成する。図 1 8 ( F ) の工程においては、前記熱酸化処理に伴い、前記領域 B および C において先に形成された熱酸化膜 1 2 C が成長し、膜厚が増大する。

## 【 0 0 3 5 】

次に図 1 9 ( G ) の工程において図 1 8 ( F ) の構造上に前記領域 B を除いてレジストパターン 1 5 B を図 3 ( E ) の工程と同様に形成し、前記レジストパターン 1 5 B をマスクに H F を使ったウェットエッチング処理を行い、前記領域 B において前記 S i 基板 1 1 の表面から前記熱酸化膜 1 2 C を除去する。

## 【 0 0 3 6 】

さらに図 1 9 (H) の工程において前記レジストパターン 1 5 B を除去し、さらに 8 0 0 ~ 1 1 0 0 ° C の温度で熱酸化処理を行うことにより、前記領域 B において前記 S i 基板 1 1 の表面上に熱酸化膜 1 2 B を 1 . 5 ~ 3 n m の厚さに形成する。図 1 9 (H) の熱酸化工程に伴い、前記領域 C 上の熱酸化膜 1 2 C および前記領域 D 上の熱酸化膜 1 2 D は成長し、厚さが増大する。

## 【 0 0 3 7 】

次に図 4 (G) の工程に対応する図 2 0 (I) の工程において、図 1 9 (H) の構造は前記アモルファスシリコン膜 1 6 により覆われ、さらに図 4 (H) に対応する図 2 0 (J) の工程において前記アモルファスシリコン膜 1 6 がレジストパターン 1 7 A をマスクにパターニングされ、その結果前記フラッシュメモリセル領域 A においてアモルファスシリコンパターン 1 3 A, O N O パターン 1 4 A およびアモルファスシリコンパターン 1 6 A を積層したフラッシュメモリの積層ゲート構造 1 6 F が形成される。図 2 0 (I) の工程においては前記アモルファスシリコン膜 1 6 上に必要に応じて W S i や C o S i などの低抵抗シリサイド膜を形成することも可能である。

## 【 0 0 3 8 】

さらに図 5 (I) に対応する図 2 1 (K) の工程において前記領域 B ~ D において前記アモルファスシリコン膜 1 6 がレジストパターン 1 7 B によりパターニングされ、前記領域 B において低電圧動作トランジスタのゲート電極 1 6 B が、前記領域 C において高電圧動作トランジスタのゲート電極 1 6 C が、また前記領域 D において中電圧動作トランジスタのゲート電極 1 6 D が、それぞれ形成される。

## 【 0 0 3 9 】

次に図 5 (J) に対応する図 2 1 (L) の工程において熱酸化処理により前記ゲート電極 1 6 B ~ 1 6 D および前記積層ゲート電極構造 1 6 A は熱酸化膜 1 8 により覆われ、さらに先に説明した図 6 (K) ~ 図 8 (P) に対応する工程を行うことにより、図 2 2 (M) に示すように前記 S i 基板 1 1 上にフラッシュメモリセルと低電圧動作トランジスタと中電圧動作トランジスタと高電圧動作トラン

ジスタとを集積化した半導体集積回路装置が得られる。ただし図 2 2 (M) 中、前記中電圧動作トランジスタは層間絶縁膜 2 0 中を延在する W プラグ 2 0 D を備え、また前記領域 D において前記 S i 基板中に L D D 拡散領域 1 1 h および高濃度拡散領域 1 1 i を形成されている。なお図 2 2 (M) の工程においては前記拡散領域 1 1 f, 1 1 g, 1 1 i の表面に必要な応じてサリサイド工程により W S i や C o S i などの低抵抗シリサイド膜を形成することも可能である。

#### 【 0 0 4 0 】

前記図 1 6 (A) ~ 図 2 2 (M) の工程による半導体集積回路装置の製造方法では、図 1 6 (B) の工程において図 2 3 (A) ~ (D) の拡大図に示すように領域 A ~ D において前記熱酸化膜 1 2 A 上にアモルファスシリコン膜 1 3 と O N O 膜 1 4 とを順次形成した後、図 1 7 (C) の工程において前記レジストパターン 1 5 A をマスクに前記領域 B ~ D において S i 基板 1 1 の表面から前記膜 1 2 A, 1 3 および 1 4 を除去し、図 2 4 (A) ~ (D) の拡大図に示す構造が前記領域 A ~ に対応して得られる。図 2 4 (B) ~ (D) に示すように、前記領域 B ~ D においては露出した S i 基板の表面はフィールド酸化膜 1 1 F により囲まれており、凹部を形成する。

#### 【 0 0 4 1 】

次に図 1 7 (D) の熱酸化工程により前記領域 B ~ D の各々において S i 基板 1 1 の露出表面が熱酸化され、その結果図 2 5 (A) ~ (D) の拡大図に示すように前記領域 B ~ D の各々において S i 基板 1 1 の表面に、周辺のフィールド酸化膜 1 1 F との境界部よりもわずかに上方に突出した形で、熱酸化膜 1 2 C が形成される。これに伴い、前記領域 B ~ D の各々においては、前記熱酸化膜 1 2 C と領域周辺のフィールド酸化膜 1 1 F との境界部において、前記領域を囲むように前記熱酸化膜 1 2 C の表面に対して相対的な凹部が形成される。

#### 【 0 0 4 2 】

次に図 1 8 (E) の工程において前記レジストパターン 1 5 D をマスクとしたウェットエッチングの結果、図 2 6 (A) ~ (D) の拡大図に示すように、前記領域 D において前記上方に突出した熱酸化膜 1 2 C がエッチング除去され、これに伴って前記領域 D と周辺のフィールド酸化膜 1 1 F との間には、前記領域 D を



囲むように、前記 Si 基板 1 1 の表面に対してくぼんだ凹部が形成される。

#### 【 0 0 4 3 】

さらに図 1 8 ( F ) の熱酸化工程において前記領域 D に熱酸化膜 1 2 D を形成することにより、図 2 7 ( A ) ～ ( D ) の拡大図に示すように前記領域 B および C においては前記熱酸化膜 1 2 C が成長し、また前記領域 D には熱酸化膜 1 2 D が形成される。かかる熱酸化膜 1 2 C の成長の結果、前記領域 B および領域 C においては熱酸化膜 1 2 C の表面と領域周辺部の凹部との間の段差は拡大し、また前記領域 D においても前記熱酸化膜 1 2 D の表面と領域周辺部の凹部との間の段差が拡大する。

#### 【 0 0 4 4 】

そこで図 1 9 ( G ) の工程において前記領域 B で Si 基板 1 1 の表面を覆っている熱酸化膜 1 2 C をレジストパターン 1 5 B をマスクとしたウェットエッチングにより除去した場合、図 2 8 ( A ) ～ ( D ) の拡大図に示すように前記フィールド酸化膜 1 1 F の厚さが減少することに伴い前記領域 B において Si 基板と周辺のフィールド酸化膜 1 1 F との間に形成されている凹部（図中に円で囲んで示す）の深さが、さらに増大する。同様に、深い凹部が前記領域 D においても周辺のフィールド酸化膜 1 1 F との間に形成される。

#### 【 0 0 4 5 】

さらに図 2 0 ( I ) の工程において図 2 9 ( A ) ～ ( D ) の構造上にゲート電極を構成するアモルファスシリコン膜 1 6 を堆積した場合、特に低電圧動作トランジスタ B および中電圧動作トランジスタ D においては、図中に円で囲んだ前記凹部近傍においてゲート絶縁膜 1 2 B あるいは 1 2 D の厚さが極端に薄くなってしまい、これらの部分において MOS トランジスタのしきい値特性が変調を受けてしまう。

#### 【 0 0 4 6 】

また前記領域 A ～ D には、しきい値制御のため、わずかな濃度の不純物元素をあらかじめ導入してあるが、前記図 1 6 ( A ) ～ 図 2 2 ( M ) の工程で前記 Si 基板 1 1 の表面に繰り返し HF によるエッチングを行うと、Si 基板 1 1 の表面部分が特に領域 B あるいは D において侵食されてしまい、しきい値特性が変化する。

るおそれがある。

【 0 0 4 7 】

このような理由で、図 1 6 ( A ) ～ 図 2 2 ( M ) の工程は実際の半導体装置の製造では使われていない。また上記の問題は、図 3 0 ( A ) ～ ( C ) に示すように、素子分離構造として前記フィールド酸化膜 1 1 F の代わりに S T I 構造 1 1 G を使った半導体集積回路装置においてはより深刻に現れる。

【 0 0 4 8 】

ところで、従来より積層ゲート電極構造の代わりに単層のゲート電極構造を使ったフラッシュメモリ装置が知られている。

【 0 0 4 9 】

図 3 1 は、かかる単層ゲート電極構造を有するフラッシュメモリセルの構成を示す平面図である。

【 0 0 5 0 】

図 3 1 を参照するに、S i 基板 1 1 上にはフィールド酸化膜 1 1 F により素子領域 1 1 A が画成されており、前記フローティングゲート電極パターン 1 3 A の一端が前記 S i 基板 1 1 上に前記素子領域 1 1 A を横切るように形成されている。前記素子領域 1 1 A 中には前記フローティングゲート電極パターン 1 3 A を自己整合マスクに、片側に n-型のソース領域 1 1 a および n+型のソースライン領域 1 1 b が形成され、他の側に n+型のドレイン領域 1 1 c とが形成されている。

【 0 0 5 1 】

前記 S i 基板 1 1 上には前記素子領域 1 1 A に隣接して別の素子領域 1 1 B が形成されており、前記素子領域 1 1 B 中には n+型拡散領域 1 1 C が形成されている。前記フローティングゲート電極パターン 1 3 A は他端に前記拡散領域 1 1 C を覆うカップリング部 1 3 A c が形成されている。

【 0 0 5 2 】

図 3 2 ( A ) は図 3 1 中、X - X' に沿った断面図を示す。

【 0 0 5 3 】

図 3 2 ( A ) を参照するに、前記 S i 基板 1 1 上には前記ソースライン領域 1

1bとドレイン領域11cとの間にトンネル酸化膜12Aが形成されており、前記フローティングゲート電極パターン13Aは前記トンネル酸化膜12A上に形成されているのがわかる。また前記Si基板11中には前記n+型ソースライン領域11bの外側にn-型のソース領域11aが形成されているのがわかる。前記フローティングゲート電極パターン13Aの側壁には側壁絶縁膜が形成されている。

【0054】

図32(B)は、図31中Y-Y'に沿った断面図を示す。

【0055】

図32(B)を参照するに前記フローティングゲート電極パターン13Aは、前記Si基板11上のフィールド酸化膜11F上を図32(A)のフラッシュメモリセルが形成された素子領域11Aから隣接する素子領域11ACへと連続的に延在しているのがわかる。前記フローティングゲート電極パターン13Aの端部13Acは、前記高濃度拡散領域11Cと、酸化膜12Acを介して容量結合している。

【0056】

そこで書き込み(program)動作時に図33(A), (B)に示すように前記ソースライン領域11bを設置し、前記ドレイン領域に+5Vのドレイン電圧を印加し、さらに前記高濃度拡散領域11Cに+10Vの書き込み電圧を印加することにより前記フローティングゲート電極13Aの電位が上昇し、前記素子領域11Aにおいて前記フローティングゲート電極13A中へのホットエレクトロンの注入が、トンネル酸化膜12Aを介して生じる。

【0057】

一方消去(erase)動作時には図33(C), (D)に示すように前記ドレイン領域11cおよび前記高濃度拡散領域11Cを接地し、前記ソースライン領域11bに+15Vの消去電圧を印加する。その結果、前記フローティングゲート電極13A中の電子は前記ソース領域11aへと前記トンネル酸化膜12A中をトンネリングし、さらに前記ソースライン領域11bを通してソース電源に吸収される。

## 【0058】

このように図31のフラッシュメモリでは前記高濃度拡散領域11Cがコントロールゲート電極の役割を果たし、従来の積層ゲート構造のフラッシュメモリと異なり、ポリシリコンフローティングゲート電極とポリシリコンコントロールゲート電極との間に先に説明したONO膜14を形成する必要がない。図31のフラッシュメモリで前記ONO膜14の役割を果たすのは酸化膜12Acであるが、前記酸化膜12AcはSi基板11上に熱酸化処理により形成できるため、高品質である。

## 【0059】

図34(A)～図41(O)は、低電圧動作トランジスタB、中電圧動作トランジスタDおよび高電圧動作トランジスタCの他に図31のフラッシュメモリセルを含んだ半導体集積回路装置を製造した場合の製造工程を示す図である。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。

## 【0060】

図34(A)を参照するに、前記Si基板11上には、フラッシュメモリセル領域A、低電圧動作トランジスタ領域B、中電圧動作トランジスタ領域Dおよび高電圧動作トランジスタ領域Cの各々に800～1100°Cの温度での熱酸化処理により、熱酸化膜12Cが5～50nmの厚さに形成され、図34(B)の工程においてレジストパターン15<sub>1</sub>を使ったパターニング工程により、前記熱酸化膜12Cが前記フラッシュメモリセル領域Aから除去される。

## 【0061】

次に図35(C)の工程において前記レジストパターン15<sub>1</sub>は除去され、さらに800～1100°Cの温度で熱酸化処理を行うことにより、前記領域A上において前記Si基板11の表面にトンネル酸化膜12Aを5～10nmの厚さに形成する。図35(C)の工程では、前記トンネル酸化膜12Aを形成する熱酸化処理工程の結果、前記領域B～Dの各々において、前記熱酸化膜12Cの成長が生じる。

## 【0062】

次に図35(D)の工程においてレジストパターン15<sub>2</sub>を使ったパターニン

グ工程により、前記中電圧動作トランジスタ領域Dにおいて前記熱酸化膜12Cが除去され、次に図36(E)の工程において前記レジストパターン15<sub>2</sub>を除去した後、800～1100°Cの温度で熱酸化処理を行うことにより、前記領域D上に熱酸化膜12Dを5～10nmの厚さに形成する。図36(E)の工程では、前記熱酸化膜12Dを形成する熱酸化処理工程の結果、前記領域Aにおいて前記トンネル酸化膜12Aの成長が、また前記領域BおよびCにおいて前記熱酸化膜12Cの成長が生じる。

## 【0063】

次に図36(F)の工程においてレジストパターン15<sub>3</sub>を使ったパターニング工程により、前記低電圧動作トランジスタ領域Bにおいて前記熱酸化膜12Cが除去され、図37(G)の工程において800～1100°Cでの温度で熱酸化処理を行うことにより、前記領域B上に熱酸化膜12Bを1.5～3nmの厚さに形成する。図37(G)の工程では、前記熱酸化膜12Bを形成する熱酸化処理工程の結果、前記領域Aにおいて前記トンネル酸化膜12Aの成長が、また前記領域Cにおいて前記熱酸化膜12Cの成長が、さらに前記領域Dにおいて前記熱酸化膜12Dの成長が生じる。

## 【0064】

次に図37(H)の工程において前記Si基板11上に一様にPドープされたアモルファスシリコン膜13を150～200nmの厚さに堆積し、これを図38(I)の工程においてレジストパターン17<sub>1</sub>をマスクにパターニングし、前記フラッシュメモリセル領域Aにおいてフローティングゲート電極パターン13Aを、また前記低電圧動作トランジスタ領域Bにおいてゲート電極パターン13Bを、前記中電圧動作トランジスタ領域Dにおいてゲート電極パターン13Dを、さらに前記高電圧動作トランジスタ領域Cにおいてゲート電極パターン13Cを形成する。

## 【0065】

次に図38(J)の工程において、前記フローティングゲート電極パターン13Aおよびゲート電極パターン13B～13Dの表面を800～900°Cでの熱酸化処理工程により5～10nmの厚さの熱酸化膜18により覆い、図39(

K) の工程においてレジストパターン  $17_2$  をマスクに P+あるいは A s+ を  $50 \sim 80 \text{ keV}$  の加速電圧下、 $1 \times 10^{14} \sim 3 \times 10^{14} \text{ cm}^{-2}$  のドーズ量でイオン注入し、ソース領域  $11a$  を形成する。

## 【0066】

さらに図 39 (L) の工程においてレジストパターン  $17_3$  により前記領域 B ～ D を覆い、前記領域 A において前記フローティングゲート電極パターン  $13A$  を自己整合マスクに A s+ のイオン注入を  $30 \sim 50 \text{ keV}$  の加速電圧下、 $5 \times 10^{14} \sim 1 \times 10^{15} \text{ cm}^{-2}$  のドーズ量でイオン注入し、前記ソース領域  $11a$  の内側に n+ 型のソースライン領域  $11b$  を、また前記ソース領域  $11a$  のチャネル領域を隔てて反対側に n+ 型のドレイン領域  $11c$  を形成する。

## 【0067】

次に図 40 (M) の工程において前記フラッシュメモリセル領域 A を覆うレジストパターン  $17_3$  を形成し、p 型あるいは n 型不純物元素をイオン注入することにより、前記領域 B に LDD 領域  $11d$  を、前記領域 C に LDD 領域  $11e$  を、また前記領域 D に LDD 領域  $11h$  を、それぞれ形成する。

## 【0068】

さらに図 40 (N) の工程において前記フローティングゲート電極パターン  $13A$  およびゲート電極パターン  $13B \sim 13D$  の両側壁面に側壁酸化膜  $16s$  が形成され、図 41 (O) の工程において前記フラッシュメモリ領域 A をレジストパターン  $17_4$  で覆った状態で前記領域 B ～ D の各々において p 型あるいは n 型の不純物元素をイオン注入し、拡散領域  $11f \sim 11i$  を形成する。

## 【0069】

しかし、図 34 (A) ～ 図 41 (O) の工程では、図 42 (A) ～ (D), 図 43 (A) ～ (D), 図 44 (A) ～ (D), 図 45 (A) ～ (D), 図 46 (A) ～ (D), 図 47 (A) ～ (D) および図 48 (A) ～ (D) の拡大図に示すように、前記素子領域 A ～ D の周辺部、特に領域 B および D のフィールド酸化膜  $11F$  との境界部近傍に、熱酸化膜の形成とエッチングの繰り返しに起因する深い凹部が形成されてしまい、図 48 (B), (C) に円で囲んで示すように低圧動作トランジスタ領域 B 中および中電圧動作トランジスタ領域 D 中にゲート絶

縁膜の膜厚が減少している部分が生じてしまい、かかる領域上に形成されたMOSトランジスタではしきい値特性の変調が生じてしまう。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。図42(A)～(D)は図34(A)の工程に、図43(A)～(D)は図34(B)の工程に、図44(A)～(D)は図35(C)の工程に、図45(A)～(D)は図35(D)の工程に、図46(A)～(D)は図36(E)の工程に、図47(A)～(D)は図36(F)の工程に、図48(A)～(D)は図37(G)の工程に、それぞれ対応する。

#### 【0070】

前記凹部形成およびしきい値特性の変調の問題は、図49(A)～(D)に示すSTI構造の素子分離構造11Gを有する半導体集積回路装置においてより深刻になる。特にSTI構造を有する半導体集積回路装置では、図49(A)に示すようにフラッシュメモリセル領域Aにおいても、素子領域周辺部に凹部が形成されてしまい、その結果フラッシュメモリセルの書き込み特性および消去特性が変化してしまう。

#### 【0071】

また図34(A)～図41(O)の工程では、前記ゲート酸化膜12Cおよび12Dが複数回のレジスト工程と複数回の熱酸化工程の後に形成されるため、図50(A)～(C)に示すようにこれらのゲート酸化膜は積層構造を有し、膜質に問題が生じやすい。

#### 【0072】

さらに図34(A)～図41(O)の工程では図51(A)に示すようにフラッシュメモリセルにおいてもトンネル酸化膜12Aが複数の熱酸化膜の積層より形成されるため欠陥を含みやすく、その結果図51(B)に示すようにフローティングゲート電極13A中に蓄積された電荷がSi基板11へとリークしてしまう問題が生じる。かかる問題が生じると、フラッシュメモリは情報を仕様で定められた期間保持することができなくなる。

#### 【0073】

そこで本発明は上記の課題を解決した新規で有用な半導体集積回路装置および

その製造方法を提供することを概括的課題とする。

【 0 0 7 4 】

本発明のより具体的な課題は、フラッシュメモリ装置を含む多電源電圧に対応した半導体集積回路装置において、素子領域周辺における凹部形成の問題、およびこれに伴う信頼性の劣化の問題を解決した製造方法を提供することにある。

【 0 0 7 5 】

本発明の他の課題は、フラッシュメモリ装置を含む多電源電圧に対応した半導体集積回路装置において、含まれる半導体装置中のゲート絶縁膜の膜質を向上させた製造方法を提供することにある。

【 0 0 7 6 】

本発明の他の課題は、フラッシュメモリ装置を含む多電源電圧に対応した半導体集積回路装置において、含まれる半導体装置中のゲート絶縁膜の厚さを正確に制御できる製造方法を提供することにある。

【 0 0 7 7 】

本発明の他の課題は、フラッシュメモリ装置を含む多電源電圧に対応した半導体集積回路装置において、半導体装置毎にゲート電極の高さを変化させ、ゲート抵抗の値を必要に応じて設定することのできる半導体集積回路装置、およびその製造方法を提供することにある。

【 0 0 7 8 】

本発明の他の課題は、フラッシュメモリ装置を含む多電源電圧に対応した半導体集積回路装置において、フラッシュメモリ装置以外の半導体装置においてゲート電極の高さをそろえた半導体集積回路装置およびその製造方法を提供することにある。

【 0 0 7 9 】

【課題を解決するための手段】

本発明は上記の課題を、半導体基板表面に、少なくとも第1の活性領域と第2の活性領域と第3の活性領域とを画成する素子分離構造を形成する工程と、前記第1の活性領域中に前記半導体基板の酸化を抑制する不純物元素を導入する工程と、前記半導体基板に対して熱酸化処理を行い、前記第1の活性領域において前



記半導体基板表面を第 1 の厚さで覆う第 1 の熱酸化膜を、また前記第 2 および第 3 の活性領域において前記半導体基板表面を第 2 の厚さで覆う第 2 の熱酸化膜を形成する工程と、前記半導体基板表面に、少なくとも前記第 1 の活性領域と前記第 2 の活性領域と前記第 3 の活性領域とを覆うように耐酸化性膜を形成する工程と、前記耐酸化性膜を前記第 1 および第 2 の活性領域に残したまま前記第 3 の活性領域において前記耐酸化性膜および前記第 2 の熱酸化膜を除去し、前記半導体基板の表面を露出する工程と、前記半導体基板に対して熱酸化処理を行い、前記第 3 の活性領域において前記半導体基板表面に、第 3 の厚さの第 3 の熱酸化膜を形成し、同時に前記第 2 の熱酸化膜の膜厚を増大させる工程とを含むことを特徴とする半導体集積回路装置の製造方法により解決する。

【0080】

【発明の実施の形態】

〔第 1 実施例〕

図 5 2 (A) ～図 5 5 (G) は、本発明の第 1 実施例による半導体集積回路装置の製造工程を示す。ただし図中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

【0081】

図 5 2 (A) を参照するに、S i 基板 1 1 上には先に説明したフィールド酸化膜 1 1 F により画成されたフラッシュメモリセル領域 A、低電圧動作トランジスタ領域 B および高電圧動作トランジスタ領域 C が先の図 1 (A) の工程と同様に画成されており、さらに前記 S i 基板 1 1 に対して  $800 \sim 1100^{\circ}\text{C}$  での熱酸化処理を行うことにより、熱酸化膜 1 2 A をフラッシュメモリのトンネル酸化膜として形成する。前記熱酸化膜 1 2 A は前記 S i 基板 1 1 上のフラッシュメモリセル領域 A 以外にも、前記低電圧トランジスタ領域 B および高電圧トランジスタ領域 C において前記 S i 基板 1 1 の表面を覆うように形成される。

【0082】

次に図 5 2 (B) の工程において図 5 2 (A) の構造上に P により  $2 \times 10^{20} \sim 3 \times 10^{21} \text{ cm}^{-3}$  の濃度にドーパされたアモルファスシリコン膜 1 3 が C V D 法により  $80 \sim 90 \text{ nm}$  の厚さに形成され、さらに前記アモルファスシリコン膜

13 上に ONO 膜 14 が一様に形成される。前記 ONO 膜 14 は、600～700° C の温度で CVD 法により 5～7 nm の厚さに形成された CVD 酸化膜と、前記 CVD 酸化膜上に 700～800° C の温度での CVD 法により 7～9 nm の厚さに形成された SiN 膜と、前記 SiN 膜の表面に 900～1000° C での熱酸化処理により 5～10 nm の厚さに形成された熱酸化膜とよりなる。

## 【0083】

次に図 5 3 (C) の工程において図 5 2 (B) の構造上に前記高電圧動作トランジスタ領域 C を露出するようにレジストパターン 15 A を形成し、前記レジストパターン 15 A をマスクに、前記領域 C において前記 ONO 膜 14、前記アモルファスシリコン膜 13 および熱酸化膜 12 A をエッチングにより除去する。さらに図 5 3 (D) の工程において前記レジストパターン 15 A を除去し、800～1100° C の温度で熱酸化処理を行うことにより、前記領域 C 中において前記 Si 基板 11 の表面を覆うように熱酸化膜 12 C を 10～50 nm の厚さに形成する。図 5 3 (D) の工程では前記領域 A および B は ONO 膜 14 により覆われているため、かかる熱酸化処理を行っても Si 基板 11 が酸化されることはない。

## 【0084】

次に図 5 4 (E) の工程において図 5 3 (D) の構造上に前記低電圧動作トランジスタ領域 B を露出するようにレジストパターン 15 B を形成し、前記レジストパターン 15 B をマスクに前記領域 B をエッチングし、前記熱酸化膜 12 C を除去する。さらに図 5 4 (F) の工程において前記レジストパターン 15 B を除去し、800～1100° C の温度で熱酸化処理を行うことにより、前記領域 B 中において前記 Si 基板 11 の表面を覆うように熱酸化膜 12 B を 1.5～3 nm の厚さに形成する。

## 【0085】

さらに図 5 5 (G) の工程において図 5 4 (F) の構造上に P を  $2 \times 10^{20} \sim 3 \times 10^{21} \text{ cm}^{-3}$  の濃度にドーピングされたアモルファスシリコン膜 13 を CVD 法により 150～200 nm の厚さに堆積する。さらに先に図 5 (I)～図 9 (Q) で説明したのと同様な工程を行うことにより、Si 基板 11 上にフラッシュメ

モリセルAと低電圧動作トランジスタBと高電圧動作トランジスタCとが集積化された半導体集積回路装置が得られる。

## 【0086】

図56(A)～(C), 図57(A)～(C), 図58(A)～(C), 図59(A)～(C)および図60(A)～(C)は、それぞれ図52(B), 図53(C), 図53(D), 図54(E)および図54(F)の工程における領域A, B, Cの状態を示す拡大図である。

## 【0087】

図52(B)の工程において前記Si基板11上にアモルファスシリコン膜13とONO膜14とが堆積され、図53(C)の工程において前記領域Cにおいて前記熱酸化膜12AがHFを使ったウェットエッチング処理により除去されるが、図57(A)～(C)に示すように、この段階では前記領域Cの周辺部での凹部形成は実質的に生じていない。

## 【0088】

次に図53(D)の工程において前記領域Cに熱酸化膜12Cを形成する場合、他の領域AおよびBは耐酸化性のONO膜14により覆われているため前記Si基板11表面の酸化が生じることがなく、図58(A), (B)に示すように熱酸化膜12Aがこれらの領域において成長することはない。

## 【0089】

このため図54(E)の工程において前記領域Bにおいて熱酸化膜12AをHFによるウェットエッチング処理により除去した場合にも、前記熱酸化膜12Aの膜厚の増大が抑制されるため図59(B)に示すように前記領域B周辺部に、厚い熱酸化膜をエッチングした場合に生じるような凹部が形成される問題は実質的に生じない。また前記領域B周辺部におけるフィールド酸化膜11Fの膜厚の減少もわずかであり、このため後の工程で前記領域Bに低電圧動作トランジスタを形成した場合でも、フィールド反転の問題が効果的に抑制される。

## 【0090】

また図54(F)の工程において前記熱酸化膜12Bを前記領域Bに形成する場合でも、前記領域Bの周辺部に生じる凹部は図60(B)に円で囲んで示すよ

うにごくわずかであり、しかもこれらのバースピーク領域においてフィールド酸化膜 1 1 F の膜厚の減少も生じない。その結果、前記熱酸化膜 1 2 B には前記領域 B の縁辺部においても膜厚の減少が生じることがなく、前記領域 B に低電圧動作トランジスタを形成した場合でもしきい値の変動が生じることはない。

## 【 0 0 9 1 】

また、図 5 2 (A) ～ 5 5 (G) の工程では、前記領域 B および C が H F に曝されるのは、領域 C については図 5 3 (C) の工程のみ、また領域 B については図 5 4 (E) の工程のみであり、その結果これらの領域には良質な熱酸化膜が形成される。

## 【 0 0 9 2 】

図 6 1 (A) , (B) は、本実施例工程を S T I 構造を有する S i 基板に対して適用した場合を示す。

## 【 0 0 9 3 】

図 6 1 (A) , (B) を参照するに、前記領域 B あるいは領域 C とその周辺の S T I 領域 1 1 G との境界部に図 1 5 (A) , (B) におけるような深い凹部が形成される問題が解消し、形成されるトランジスタのしきい値特性が安定化する。

## 〔変形例 1〕

図 6 2 (A) ～ 図 6 3 (D) は、本実施例の一変形例による半導体集積回路装置の製造工程を示す。

## 【 0 0 9 4 】

図 6 2 (A) を参照するに、本変形例では前記領域 A ～ C の各々において S i 基板 1 1 上にトンネル絶縁膜 1 2 A が形成された後、図 6 2 (B) の工程でアモルファスシリコン膜 1 3 および O N O 膜 1 4 が順次堆積されるが、図 6 2 (B) の工程では前記アモルファスシリコン膜 1 3 がパターンニングされており前記領域 B および C から除去されている。その結果、前記領域 B および C においては前記 O N O 膜 1 4 は前記トンネル絶縁膜 1 2 A の表面に直接に形成されている。

## 【 0 0 9 5 】

本実施例ではさらに図 6 3 (C) の工程においてレジストパターン 1 5 A を使

ったパターニングにより前記ONO膜14およびトンネル絶縁膜12Aが前記領域CにおいてSi基板11の表面から除去されており、このようにして露出されたSi基板11の表面に図63(D)の工程において800~1100°Cの温度での熱酸化処理を行い、前記熱酸化膜12Cを10~50nmの厚さに形成する。

#### 【0096】

さらに先に図54(E)~55(G)で説明したのと同様な工程を実行することにより、所望の半導体集積回路装置が得られる。

#### 【0097】

本変形例においても図63(D)の熱酸化工程において低電圧トランジスタ形成領域Bは耐酸化性のONO膜14により覆われており、その結果前記トンネル酸化膜12Aが成長することではなく、後で前記トンネル酸化膜12Aをウェットエッチング処理により除去しても領域B周辺部に深い凹部が形成されることはない。

#### 〔変形例2〕

図64(A)~図67(H)は、本実施例をSi基板11上に画成された領域Dにさらに中電圧動作トランジスタが形成される場合に拡張した変形例を示す。

#### 【0098】

図64(A)を参照するに、前記領域A~Dの各々においてSi基板11の表面にはトンネル酸化膜12が800~1100°Cの温度での熱酸化処理工程により8~10nmの厚さに形成されており、図64(B)の工程においてさらにアモルファスシリコン膜13とONO膜14とが、先に説明した工程によりそれぞれ80~90nmおよび7~9nmの厚さに形成される。

#### 【0099】

次に図65(C)の工程において図64(B)の構造上にレジストパターン15Aが前記領域Cを露出するように形成され、前記レジストパターン15Aをマスクに前記ONO膜14およびアモルファスシリコン膜13およびトンネル酸化膜12Aを順次ウェットエッチングすることにより、前記領域CにおいてSi基

板11の表面を露出する。

【0100】

次に図65(D)の工程において前記レジストパターン15Aを除去し、さらに前記ONO膜14を前記領域A、BおよびDにおいて耐酸化性マスクとして使った800～1100°Cでの熱酸化処理により、前記領域C上に熱酸化膜12Cを5～50nmの厚さに形成する。

【0101】

さらに図66(E)の工程において図65(D)の構造上にレジストパターン15Dを前記中電圧動作トランジスタ領域Dのみを露出するように形成し、前記領域Dにおいて前記ONO膜14およびアモルファスシリコン膜13およびトンネル酸化膜12Aをウェットエッチング処理により除去する。

【0102】

さらに図66(F)の工程において前記レジストパターン15Dを除去し、さらに前記ONO膜14を耐酸化性マスクとして使った800～1100°Cでの熱酸化処理により、前記領域D上に熱酸化膜12Dを5～10nmの厚さに形成する。図66(F)の工程では、前記熱酸化膜12Dを形成する熱酸化処理に伴い、前記領域Cの熱酸化膜12Cも成長し、膜厚が増大する。

【0103】

次に図67(G)の工程において図66(F)の構造上に前記領域Bを露出するレジストパターン15Bを形成し、前記レジストパターン15Bをマスクに前記ONO膜14およびアモルファスシリコン膜13およびトンネル酸化膜12Aをウェットエッチングにより順次除去し、前記領域Bにおいて前記Si基板11の表面を露出する。

【0104】

さらに図67(H)の工程において前記レジストパターン15Bを除去し、800～1100°Cでの熱酸化処理工程を行うことにより、前記領域Bにおいて前記Si基板11上に熱酸化膜12Bを1.5～3nmの厚さに形成する。図67(H)の工程では、前記熱酸化膜12Bを形成する熱酸化処理工程に伴って、前記熱酸化膜12Cおよび12Dの厚さも増大する。

## 【0105】

さらに図67(H)の工程の後、先に図20(I)～(M)で説明した工程を実行し、前記Si基板11上にフラッシュメモリセルAと低電圧動作トランジスタBと中電圧動作トランジスタDと高電圧動作トランジスタCとを集積した半導体集積回路装置が得られる。

## 【0106】

本変形例によれば、熱酸化膜を形成してはウェットエッチングで除去する工程が領域A～Dのいずれにおいても繰り返されることがなく、その結果図68(A)～(D)に示すように素子領域A～Dの周辺部における凹部形成が抑制され、特に薄いゲート絶縁膜を使う低電圧動作トランジスタ領域Bおよび中電圧動作トランジスタ領域Dにおいてしきい値特性が変調される問題が回避される。

## 【0107】

本発明は図69(A)～(C)に示すようにSTI構造Gを有する半導体集積回路装置においても適用可能であり、特に素子領域BおよびCの周辺部におけるゲート絶縁膜の膜厚減少の問題が効果的に回避される。

## 【0108】

さらに本発明によれば、前記領域B～DのいずれにおいてもHFによる熱酸化膜のエッチング工程は一度だけしかなされないため、形成されるトランジスタのしきい値特性はさらに安定する。

## [第2実施例]

図70(A)～図75(K)は、本発明の第2実施例による半導体集積回路装置の製造工程を示す。ただし図中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

## 【0109】

図70(A)を参照するに、本実施例ではSi基板11上に酸化膜110を形成し、さらに前記酸化膜110上に中電圧動作トランジスタ形成領域Bを露出する開口部を有するレジストパターン111Aを形成し、前記レジストパターン111をマスクに窒素イオンを20～50keVの加速電圧下、 $1 \times 10^{14} \sim 1 \times$

$10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入する。

【0110】

次に図70(B)の工程において前記レジストパターン111Aを除去し、800～1100°Cの温度で熱酸化処理を行うことにより、前記領域A～Cの各々において前記Si基板11の表面にトンネル酸化膜12Aを形成する。図70(B)の工程では前記領域DではSi基板11中に窒素が導入されているため酸化速度が遅く、その結果、前記領域Dには前記トンネル酸化膜12Aを形成する熱処理工程において、前記酸化膜12Aよりも小さな厚さの熱酸化膜12Dが形成される。

【0111】

次に図71(C)の工程において図70(B)の構造上にアモルファスシリコン膜13とONO膜14とを順次積層し、図71(D)の工程において前記高電圧動作トランジスタ領域Cを露出するレジストパターン111Bを形成し、前記領域Cにおいて前記ONO膜14とアモルファスシリコン膜13とトンネル酸化膜12Aとをウェットエッチングにより除去する。

【0112】

さらに図72(E)の工程において前記レジストパターン111Bを除去し、800～1100°Cでの熱酸化処理工程により、前記領域C上に熱酸化膜12Cを形成する。図72(E)の熱酸化処理工程では前記領域A、BおよびDは耐酸化性のONO膜14により保護されている。

【0113】

次に図72(F)の工程において図72(E)の構造上に前記低電圧動作トランジスタ領域Bを露出するレジストパターン111Cを形成し、図73(G)の工程で前記レジストパターン111Cを除去した後、800～1100°Cの温度で熱酸化処理を行うことにより、前記領域B中において前記Si基板11表面に厚さが1.5～3nmの熱酸化膜12Bを形成する。図73(G)の工程では、前記熱酸化膜12Bの形成と同時に、前記領域Cにおいて熱酸化膜12Cの成長が生じる。

【0114】



さらに図73 (H) の工程において図73 (G) の構造上にPを $2 \times 10^{20} \sim 3 \times 10^{21} \text{ cm}^{-3}$ の濃度にドーピングしたアモルファスシリコン膜16を100～150 nmの厚さに堆積し、図74 (I) の工程において前記領域B～Dを覆うレジストパターン111Dにより、前記フラッシュメモリセル領域Aにおいて積層ゲート電極構造16Fをパターンニングする。なお、図73 (G) の工程において前記アモルファスシリコン膜16上にWSiやCoSi等の低抵抗シリサイド膜を必要に応じて形成することも可能である。

## 【0115】

さらに図74 (J) の工程において前記領域Aを覆う別のレジストパターン111Eをマスクに前記領域BおよびCにおいて前記アモルファスシリコン膜16をパターンニングし、前記領域Bにおいてゲート電極パターン16Bを、また前記領域Cにおいてゲート電極パターン16Cを形成する。

## 【0116】

次に図75 (K) の工程において前記領域A～Cを覆うレジストパターン111Fを形成し、前記レジストパターン111Fをマスクに前記領域Dにおいて前記ONO膜14およびアモルファスシリコン膜13をパターンニングし、ゲート電極16Dを形成する。

## 【0117】

さらに図75 (K) の工程の後、先に説明した図38 (J) ～図41 (O) に対応する工程を実行し、Si基板11上にフラッシュメモリセルAと低電圧動作トランジスタBと中電圧動作トランジスタDと高電圧動作トランジスタCとを集積化した半導体集積回路が得られる。

## 【0118】

本実施例においても前記領域B～Dの各々において熱酸化工程とウェットエッチング工程とが繰り返されることがなく、素子領域の周辺に深い凹部が形成されることがない。このため素子領域の縁辺部においてゲート酸化膜の膜厚が減少しMOSトランジスタのしきい値特性が変化してしまう問題が回避される。さらに素子領域が繰り返しHFに曝されることによるMOSトランジスタのしきい値特性の変化も回避される。

## 【0119】

図76(A)～(C)は、本実施例により前記領域A、DおよびC上に形成される低電圧動作トランジスタ、中電圧動作トランジスタおよび高電圧動作トランジスタの概略的形状を示す。ただし図76(A)～(C)は、先の図75(K)に示すレジストパターン11FおよびONO膜14を除去した状態を示している。

## 【0120】

先に説明した工程および図76(B)よりわかるように、本実施例では中電圧動作トランジスタDのゲート絶縁膜12Dが単一の熱酸化処理工程により形成されるため優れた膜質が得られ、また正確な膜厚の制御が可能となる。その結果、前記トランジスタDの動作特性が向上する。

## 【0121】

また先に説明した工程および図76(C)よりわかるように、本実施例では前記高電圧動作トランジスタCのゲート絶縁膜12Cの形成の際、2回目の熱酸化工程は低電圧動作トランジスタ領域Bにおける熱酸化膜12Bの形成の際に生じるが、かかる熱酸化工程による膜厚の増大はわずかであり、実質的に前記ゲート絶縁膜12Cの膜厚は図72(E)の工程で決定される。このため、本実施例では形成される高電圧動作トランジスタCの動作特性も向上する。

## [第3実施例]

図77(A)～82(L)は、本発明の第3実施例による半導体集積回路装置の製造工程を示す。ただし図中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

## 【0122】

本実施例では図77(A)～図80(G)の工程は先の実施例の図71(A)～図73(G)の工程と同じであり、図80(G)の工程において図73(G)と同じ構造が得られる。

## 【0123】

本実施例では次に図80(H)の工程においてレジストパターン112Aをマ

スクに前記中電圧動作トランジスタ領域Dから前記ONO膜14が除去され、さらに図81(I)の工程において前記レジストパターン112Aを除去した後、Pにより $2 \times 10^{20} \sim 3 \times 10^{21} \text{ cm}^{-3}$ の濃度にドーピングされたアモルファスシリコン膜16を堆積される。その際前記領域Dにおいては図80(H)の工程においてアモルファスシリコン膜13が露出されているため、前記領域Dにおいては熱酸化膜12D上においてアモルファスシリコン膜13とアモルファスシリコン膜16とが積層された構造が得られる。

#### 【0124】

さらに図81(J)～図82(L)の工程においてレジストパターン111D, 111Eおよび111Fを使ったパターニング工程が実行され、領域Aにフラッシュメモリセルが、領域Bに低電圧動作トランジスタが、領域Cに高電圧動作トランジスタが、また領域Dに中電圧動作トランジスタが形成される。

#### 【0125】

図83(A)～(C)は、前記領域A、領域Dおよび領域C上にそれぞれ形成された低電圧動作トランジスタと中電圧動作トランジスタと高電圧動作トランジスタの概略的断面形状を示す。

#### 【0126】

図83(A)～(C)を参照するに、本実施例により得られる半導体集積回路装置では、領域ごとにゲート電極の厚さを変化させることが可能である。このようなゲート電極の高さの変化に加えて、前記アモルファスシリコン膜13とアモルファスシリコン膜16とで比抵抗を変化させることにより、本実施例では前記半導体集積回路装置上のトランジスタのゲート抵抗を必要に応じて変化させることが可能になる。このようなゲート抵抗の調整は、特にアナログ回路を含む半導体集積回路装置では重要である。特に低抵抗が要求されるゲート電極では、アモルファスシリコン膜16の表面にシリサイド層を形成するのが好ましい。

#### 【第4実施例】

図84(A)～図89(L)は、本発明の第4実施例による半導体集積回路装置の製造工程を示す。ただし図中、先に説明した部分には同一の参照符号を付し

、説明を省略する。

【0127】

図84(A)～図89(L)を参照するに、図84(A)～図87(G)までの工程は先の図77(A)～80(G)の工程と実質的に同じであり、従って図87(G)の工程において図80(G)の構造に対応する構造が得られる。

【0128】

本実施例では次の図87(H)の工程において図87(G)の構造上にPを $2 \times 10^{20} \sim 3 \times 10^{21} \text{ cm}^{-3}$ の濃度でドーピングされたアモルファスシリコン膜16をCVD法により80～90nmの厚さに堆積し、図88(I)の工程において前記中電圧トランジスタ領域Dを露出するレジストパターン112Aをマスクに、前記領域Dにおいて前記アモルファスシリコン膜16およびONO膜14を除去する。

【0129】

さらに図88(J)の工程において前記レジストパターン112Aを除去し、さらにPを $2 \times 10^{20} \sim 3 \times 10^{21} \text{ cm}^{-3}$ の濃度でドーピングされたアモルファスシリコン膜21をCVD法により80～90nmの厚さに堆積する。あるいは前記アモルファスシリコン膜21の代わりに低抵抗シリサイド膜を使用することも可能である。また拡散領域形成後にシリサイド工程により前記アモルファスシリコン膜21の代わりにシリサイド層を形成することも可能である。

【0130】

次に図89(K)の工程においてレジストパターン111Dを使い、前記フラッシュメモリセル領域Aに積層ゲート構造16Fを形成する。本実施例では前記積層ゲート構造16Fはアモルファスシリコンパターン13AとONOパターン14Aとアモルファスシリコンパターン16Aと、さらに前記アモルファスシリコン膜21をパターンニングして形成したアモルファスシリコンパターン21Aの積層により形成される。

【0131】

次に図89(L)の工程において別のレジストパターン111Gを使って前記アモルファスシリコン膜21およびその下のアモルファスシリコン膜16あるい

は 1 3 をパターニングすることにより、前記領域 B にゲート電極 1 6 B を、領域 C にゲート電極 1 6 C を、領域 D にゲート電極 1 6 D を、それぞれアモルファスシリコン膜 1 6 と 2 1 の積層により、あるいはアモルファスシリコン膜 1 3 と 2 1 の積層により、形成する。

## 【 0 1 3 2 】

図 9 0 (A) ~ (D) は、このようにして S i 基板 1 1 上に形成されたフラッシュメモリセルと低電圧動作トランジスタと中電圧動作トランジスタと高電圧動作トランジスタの、概略的な断面構造をそれぞれ示す。

## 【 0 1 3 3 】

図 9 0 (A) ~ (D) を参照するに、前記アモルファスシリコン膜 1 3 と 1 6 、および 2 1 の厚さを選ぶことにより、前記ゲート電極 1 6 B 、 1 6 C 、 1 6 D の高さを揃えることが可能であることがわかる。このように電極 1 6 B ~ 1 6 D の高さを揃えることにより、これらのトランジスタよりなる周辺回路を形成する際にトランジスタのゲート電極を一括してパターニングすることが可能になる。また前記アモルファスシリコン膜 1 3 、 1 6 、 2 1 の抵抗率を変化させることにより、前記ゲート電極 1 6 B ~ 1 6 D の抵抗値を回路設計により要求される値に合致させることが可能になる。

## [第 5 実施例]

図 9 1 (A) ~ 図 9 6 (K) は本発明の第 5 実施例による半導体集積回路装置の製造工程を示す。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。

## 【 0 1 3 4 】

図 9 1 (A) ~ 図 9 6 (K) を参照するに、図 9 1 (A) ~ 図 9 4 (G) までの工程は先の図 8 4 (A) ~ 8 7 (G) までの工程と同様であり、図 9 4 (G) の工程において図 8 7 (G) に対応した構造が得られる。

## 【 0 1 3 5 】

本実施例では次に図 9 4 (H) の工程において図 9 4 (G) の構造上に P を  $2 \times 10^{20} \sim 3 \times 10^{21} \text{ cm}^{-3}$  の濃度にドーピングされたアモルファスシリコン膜 1 6

をCVD法により150～200nmの厚さに形成し、続いて酸化窒化膜16ONをスパッタリングにより100～150nmの厚さに形成する。さらに必要に応じて拡散領域形成後に、サリサイド工程により低抵抗シリサイド層を形成することも可能である。

## 【0136】

次に図95(I)の工程でレジストパターン111Hをマスクに前記フラッシュメモリセル領域Aにおいて酸化窒化膜16ONおよびアモルファスシリコン膜16をパターニングしてアモルファスシリコンパターン16Aを形成し、さらに中電圧トランジスタ形成領域Dにおいてアモルファスシリコン膜16を除去する。

## 【0137】

さらに図95(J)の工程において前記領域B～Dをレジストパターン111Iにより覆い、前記フラッシュメモリセル領域Aにおいて前記アモルファスシリコンパターン16A上の酸化窒化膜パターン16ONをマスクに、前記ONO膜14およびアモルファスシリコンパターン13をパターニングして積層ゲート電極構造16Fを形成する。

## 【0138】

さらに図96(K)の工程において前記フラッシュメモリセル領域Aを覆うレジストパターン111Gを形成し、前記レジストパターン111Gをマスクに前記領域B～Dの各々において前記酸化窒化膜16ONあるいはONO膜14およびアモルファスシリコン膜16あるいは13をパターニングすることにより、それぞれのゲート電極を形成する。

## 【0139】

図97(A)～(D)は、本実施例により形成される半導体集積回路中のフラッシュメモリセルA、低電圧動作トランジスタB、中電圧動作トランジスタDおよび高電圧動作トランジスタCの概略的断面構造を示す。ただし図97(A)～(D)の構造は、図96(K)中に示すレジストパターン111Gを除去し、さらに酸化窒化膜16ONおよびONO膜14を除去した状態で示してある。

## 【0140】

図97(A)～(D)、特に図97(B)～(D)に示すように本実施例では

アモルファスシリコン膜13および16の厚さを同じに設定することにより、前記低電圧動作トランジスタB、中電圧動作トランジスタDおよび高電圧動作トランジスタCのゲート電極の高さを揃えることが可能になる。一方、これらのゲート電極では、前記アモルファスシリコン膜13の抵抗率とアモルファスシリコン膜16の抵抗率とを異ならせることにより、同じゲート電極高さでありながら、ゲート抵抗を異ならせることが可能になる。

#### 〔第6実施例〕

図98(A)～図102(J)は、本発明の第6実施例による半導体集積回路装置の製造工程を示す図である。ただし図中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。本実施例においては、前記半導体集積回路中に形成されるフラッシュメモリセルは、先に図31において説明した単層ゲート電極構造を有する。

#### 【0141】

図98(A)を参照するにSi基板11の表面には800～1100°Cでの熱酸化処理工程により熱酸化膜12Bが1.5～3nmの厚さに形成され、さらに図98(B)の工程において図98(A)の構造上にPを $2 \times 10^{20} \sim 3 \times 10^{21} \text{ cm}^{-3}$ の濃度にドーピングしたアモルファスシリコン膜31を150～200nmの厚さにCVD法により堆積する。さらに必要に応じて、このようにして形成されたアモルファスシリコン膜31の表面にWSiやCoSiなどの低抵抗シリサイド層を、拡散領域が形成された後にサリサイド法により形成してもよい。

#### 【0142】

次に図99(C)の工程において図98(B)の構造上に前記領域A～BおよびDを覆うレジストパターン32Aを形成し、前記レジストパターン32Aをマスクに、前記領域Cにおいてアモルファスシリコン膜31および熱酸化膜12Bをウェットエッチングにより除去する。

#### 【0143】

さらに図99(D)の工程において前記レジストパターン32Aを除去し、さらに800～1100°Cの温度での熱酸化処理工程を行うことにより、前記領

域Cにおいて露出されているSi基板11の表面に熱酸化膜12Cを5～50nmの厚さに形成する。図99(D)の工程では、領域A～BおよびDにおいては同時に前記アモルファスシリコン膜31上にも熱酸化膜12Cが成長するが、これらの領域はアモルファスシリコン膜31および熱酸化膜12Bにより覆われているため、Si基板11の表面が酸化されることはない。

#### 【0144】

次に図100(E)の工程において図99(D)の構造上に前記領域Dを露出するレジストパターン32Bを形成し、前記レジストパターン32Bをマスクに前記Si基板11中に窒素イオンを、50～150keVの加速電圧下、 $1 \times 10^{14} \sim 1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入する。

#### 【0145】

さらに図100(F)の工程において前記レジストパターン32Bを除去し、前記領域Bを覆うレジストパターン32Cを形成し、前記レジストパターン32Cをマスクに前記領域AおよびDにおいて前記熱酸化膜12Cおよびアモルファスシリコン膜31、さらに熱酸化膜12Bをエッチングにより除去する。

#### 【0146】

次に図101(G)の工程において前記レジストパターン32Cを除去し、さらに800～1100°Cの温度での熱酸化処理工程により、前記領域Aにおいてトンネル酸化膜12Aを8～10nmの厚さに形成する。図101(G)の工程では前記領域Dにおいても熱酸化膜12Dが成長するが、前記領域Dにおいては先に図100(E)の工程において窒素イオンがSi基板11中に導入されているため、前記熱酸化膜12Dの厚さは5～7nm程度に抑制される。前記領域Cにおいては前記熱酸化膜12Cがさらに成長する。

#### 【0147】

次に図101(H)の工程において図101(G)の構造上にPを $2 \times 10^{20} \sim 3 \times 10^{21} \text{ cm}^{-3}$ の濃度にドーピングされたアモルファスシリコン膜33が150～200nmの厚さにCVD法により堆積される。前記アモルファスシリコン膜33の表面には必要に応じて低抵抗シリサイド層を、拡散領域形成工程の後でシリサイド法により形成してもよい。



## 【 0 1 4 8 】

次に図 1 0 2 ( I ) の工程においてレジストパターン 3 2 D をマスクに前記フラッシュメモリセル領域 A において前記アモルファスシリコン膜 3 3 をパターンニングし、図 3 1 に示すフローティングゲート電極パターン 1 3 A を形成する。また図 1 0 2 ( I ) の工程では、同時に前記領域 B において前記アモルファスシリコン膜 3 3 が除去される。

## 【 0 1 4 9 】

さらに図 1 0 2 ( J ) の工程においてレジストパターン 3 2 E をマスクに前記領域 B において前記熱酸化膜 1 2 C およびアモルファスシリコン膜 3 1 を、また前記領域 C および D においてアモルファスシリコン膜 3 3 をパターンニングして先の実施例におけるゲート電極 1 6 B, 1 6 C および 1 6 D を形成する。

## 【 0 1 5 0 】

図 1 0 3 ( A ) ~ ( D ) は本実施例により得られた半導体集積回路装置の領域 A ~ D を拡大して示す。

## 【 0 1 5 1 】

図 1 0 3 ( B ) を参照するに、本実施例工程では前記領域 B において S i 基板 1 1 表面を H F エッチングにより露出する工程が含まれておらず、このため前記領域 B 周辺部においてフィールド酸化膜 1 1 F がエッチングされることがなく、凹部が形成されることはない。また前記領域 A, C および D においても前記 S i 基板 1 1 の表面がエッチングにより露出される工程は 1 回だけであり、従って酸化膜エッチングに伴って素子領域周辺のフィールド酸化膜 1 1 F に生じる凹部形成は、図 1 0 3 ( A ), ( C ) および ( D ) に示すように最小限に抑制される。その結果、素子領域周辺部における M O S トランジスタのしきい値変調の問題が解消される。またこれに伴って素子領域縁辺部においてゲート酸化膜の膜厚が減少する問題も回避され、M O S トランジスタの信頼性が向上する。さらに図 1 0 3 ( D ) に示すように高電圧動作トランジスタ領域 C の周辺におけるフィールド酸化膜 1 1 F の膜厚の減少が抑制されるため、本実施例による半導体集積回路装置ではフィールド反転の問題が生じない。

## 【 0 1 5 2 】

上記の本発明の効果は、図104(A)～(D)に示すように素子分離構造としてフィールド酸化膜11Fの代わりにSTI構造11Gを使った場合においても同様に得られる。すなわち本実施例では、図104(A)～(C)において円で囲んで示したように、素子領域周辺部における凹部の深さを効果的に抑制することができる。

#### 【0153】

図105(A)～(D)は、本実施例により得られるフラッシュメモリセルA、低電圧動作トランジスタB、中電圧動作トランジスタD、および高電圧動作トランジスタCのトンネル酸化膜あるいはゲート酸化膜の構造を示す。

#### 【0154】

図105(A)～(C)よりわかるように、前記フラッシュメモリセルAのトンネル酸化膜は単一の熱酸化膜12Aにより形成されており、また低電圧動作トランジスタBおよび中電圧動作トランジスタDのゲート酸化膜も、それぞれ単一の熱酸化膜12Bおよび12Dより構成される。このためこれらのトランジスタではゲート酸化膜の膜厚の制御が容易であり、また優れた膜質を得ることができる。さらに高電圧動作トランジスタCにおいても、ゲート酸化膜12Cの主要部は単一の熱酸化工程により形成されており、優れた膜質が得られる。

#### 〔変形例〕

図106(A)～図106(I)は前記本発明の第6実施例の一変形例を示す。

#### 【0155】

図106(A)～図106(I)を参照するに、図101(A)～図107(D)の工程までは先の図98(A)～図99(D)の工程と同様であり、その結果、図107(D)の工程において図99(D)に対応した構造が得られる。

#### 【0156】

次に図108(E)の工程において先の図100(E)と同様に前記領域Dを露出するレジストパターン32Bが形成されるが、図108(E)の工程では前記レジストパターン32Bをマスクに前記熱酸化膜12Cおよびアモルファスシリコン膜31が除去され、図108(F)の工程で同じレジストパターン32B

をマスクに窒素イオンを20～50keVの加速電圧下、 $1 \times 10^{14} \sim 1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でシリコン基板11中にイオン注入する。図108(F)の工程では前記領域D以外はレジストパターン32Bにより覆われているため、領域A、BおよびCにおいてはかかる窒素イオンのイオン注入は生じない。

## 【0157】

次に図109(G)の工程において同じレジストパターン32Bをマスクに前記領域Dにおいて熱酸化膜12Bが除去され、さらに図109(H)の工程において前記レジストパターン32Bが除去され、新たなレジストパターン32Fをマスクに前記フラッシュメモリセル領域Aにおいて前記熱酸化膜12Cおよびアモルファスシリコン膜31を除去する。

## 【0158】

次に図110(I)の工程において前記レジストパターン32Fが除去され、その結果先に図101(G)で説明したのと同様な構造が得られる。

## 【0159】

従って、図101(H)～図102(J)の工程を行うことにより、先に図103(A)～(D)、図104(A)～(D)および図105(A)～(D)に示す特徴を有する半導体集積回路装置が得られる。

## [第7実施例]

図111(A)～図115(J)は、本発明の第7実施例による半導体集積回路装置に製造工程を示す。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。

## 【0160】

本実施例では前記領域Aに先の図98(A)～図102(J)の実施例で説明した単層ゲート電極構造を有するフラッシュメモリセルを形成するが、本実施例では形成されるフラッシュメモリセルはトンネル絶縁膜としてONO膜を有する。

## 【0161】

図111(A)を参照するに、前記Si基板11上には前記領域A～Dの各々

においてONO膜14が、800～1100°Cでの熱酸化処理工程により形成された熱酸化膜上に700～800°CでのCVD法により厚さが10～15nmのSiN膜を形成し、さらに前記SiN膜の表面に900～1000°Cでの熱酸化処理工程により厚さが5～10nmの熱酸化膜を形成する工程により形成される。

## 【0162】

次に図111(B)の工程において図111(A)の構造上に領域Cを露出するレジストパターン42Aを形成し、前記レジストパターン42Aをマスクに前記領域DにおいてONO膜14をウェットエッチングにより除去する。

## 【0163】

さらに図112(C)の工程において図111(B)の構造に対して800～1100°Cの温度で熱酸化処理を行い、熱酸化膜12を5～50nmの厚さに形成する。図112(C)の工程では前記領域A、BおよびDは前記ONO膜14により覆われているため、前記Si基板11の表面が酸化されることはない。

## 【0164】

次に図112(D)の工程において図111(C)の構造上に前記領域Dを露出するレジストパターン42Bを形成し、さらに前記レジストパターン42Bをマスクに前記ONO膜14を除去することにより、前記領域Dにおいて前記Si基板11の表面を露出する。

## 【0165】

次に図113(E)の工程において前記レジストパターン42Bを除去し、さらに800～1100°Cの温度で熱酸化処理を行うことにより、前記領域C上に熱酸化膜12Dを5～10nmの厚さに形成する。図113(E)の熱酸化処理工程に伴い前記領域Cにおいて熱酸化膜12Cの厚さが増大するが、領域AおよびBは前記ONO膜14に覆われているため、Si基板11の表面が酸化することはない。

## 【0166】

次に図113(F)の工程において図113(E)の構造上に前記領域Bを露出するレジストパターン42Cが形成され、前記レジストパターン42Cをマス

クに前記領域Bにおいて前記ONO膜14をウェットエッチングし、前記Si基板11の表面を露出する。

【0167】

次に図114 (G) の工程において前記レジストパターン42Cを除去し、800～1100° Cの温度での熱処理工程を行うことにより、前記Si基板11の表面に厚さが1.5～3 nmの熱酸化膜12Bを形成する。

【0168】

さらに図114 (H) の工程において図114 (G) の構造上にPを $2 \times 10^{20} \sim 3 \times 10^{21} \text{ cm}^{-3}$ の濃度にドーピングしたアモルファスシリコン膜を150～200 nmの厚さに堆積し、図115 (I) の工程においてレジストパターン42Dをマスクに、前記領域A上にコントロールゲート電極16Aを、領域Bにゲート電極16Bを、領域Cにゲート電極16Cを、さらに領域Dにゲート電極16Dをそれぞれ形成する。

【0169】

次に図115 (J) の工程において前記レジストパターン42Dを除去し、さらに前記領域Aを露出するレジストパターン42Eを形成し、前記領域Aにおいて前記コントロールゲート電極16Aを自己整合マスクにAs<sup>+</sup>のイオン注入を30～50 keVの加速電圧下、 $1 \times 10^{15} \sim 4 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で行い、ソース領域11bおよびドレイン領域11cを形成する。

【0170】

さらに図102 (J) 以下の工程を行うことにより、先に図103 (A) ～ (D)、図104 (A) ～ (D) および105 (A) ～ (D) で説明した特徴を有する単層ゲート構造のフラッシュメモリセルを有する半導体集積回路装置が得られる。

[第8実施例]

図116は本発明の第8実施例によるフラッシュメモリセルの構成を示す平面図である。

【0171】

図116を参照するに、Si基板11の表面にはフィールド酸化膜11Fにより画成された一对のn+型拡散領域111および11mがそれぞれソース領域およびドレイン領域として形成されており、さらに前記Si基板11上には前記拡散領域111および11mを横切るようにコントロールゲート電極16Aが形成されている。

#### 【0172】

図117は図116のフラッシュメモリセルのY-Y'に沿った断面図を示す。

#### 【0173】

図117を参照するに、前記Si基板111上にはONO膜14が形成されており、前記コントロールゲート電極16Aは前記ONO膜14上を前記拡散領域111から11mへと延在することがわかる。

図118(A)および(B)は、図116、117のフラッシュメモリセルの動作原理を説明する。

#### 【0174】

図118(A)を参照するに、書き込み動作時には前記コントロールゲート電極16Aに+10Vの書き込み電圧が印加され、さらに前記ドレイン領域11mに+5Vの書き込み電圧が印加される。その結果、前記Si基板11中を前記ソース領域111からドレイン領域11mへと流れる電子がドレイン領域11m近傍においてホットエレクトロンを形成し、形成されたホットエレクトロンが前記ONO膜14中に注入され、情報として保持される。

#### 【0175】

一方前記ONO膜14中に書き込まれた情報を消去する場合には、図118(B)に示すように前記コントロールゲート電極16Aに-10Vの消去電圧を印加し、さらに前記ドレイン電極10bに+5Vの消去電圧が印加される。その結果、前記Si基板11中を前記ソース領域111からドレイン領域11mへと流れるホールが前記ドレイン領域11m近傍においてホットホールを形成し、前記ONO膜14中に注入されて保持されている電子を中和する。なお、図118(A)の書き込みは、ドレインアバランシェを発生させることによって可能であ

り、また図118(B)の消去もドレインアバランシェを発生させることでも可能である。

#### 【0176】

図119(A), (B)は、前記図116のフラッシュメモリセルを含む半導体集積回路装置の製造工程を示す。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。

#### 【0177】

図119(A)を参照するに、Si基板11上には前記領域A~Dの各々において先の実施例と同様なONO膜14が形成され、さらに図119(B)の工程において図119(A)の構造上に前記領域B~Dを覆うレジストパターン52Aが形成され、前記領域Aにおいて前記レジストパターン52AをマスクにAs<sup>+</sup>を30~50keVの加速電圧下、 $1 \times 10^{15} \sim 4 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入し、前記ソース領域111およびドレイン領域11mを形成する。

#### 【0178】

さらに図119(B)に引き続き、図99(C)~図102(J)と同様な工程を、前記熱酸化膜12bをONO膜14により置き換えて実行することにより、先に図103(A)~(D), 図104(A)~(D)および図105(A)~(D)で説明した特徴を有する半導体集積回路装置が得られる。

#### 【0179】

以上、本発明を好ましい実施例について説明したが、本発明はかかる実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において様々な変形・変更が可能である。

#### 【0180】

(付記1) 半導体基板表面に、少なくとも第1の活性領域と第2の活性領域と第3の活性領域とを画成する素子分離構造を形成する工程と、

前記第1の活性領域中に前記半導体基板の酸化を抑制する不純物元素を導入する工程と、

前記半導体基板に対して熱酸化処理を行い、前記第1の活性領域において前記半導体基板表面を第1の厚さで覆う第1の熱酸化膜を、また前記第2および第3

の活性領域において前記半導体基板表面を第 2 の厚さで覆う第 2 の熱酸化膜を形成する工程と、

前記半導体基板表面に、少なくとも前記第 1 の活性領域と前記第 2 の活性領域と前記第 3 の活性領域とを覆うように耐酸化性膜を形成する工程と、

前記耐酸化性膜を前記第 1 および第 2 の活性領域に残したまま前記第 3 の活性領域において前記耐酸化性膜および前記第 2 の熱酸化膜を除去し、前記半導体基板の表面を露出する工程と、

前記半導体基板に対して熱酸化処理を行い、前記第 3 の活性領域において前記半導体基板表面に、第 3 の厚さの第 3 の熱酸化膜を形成し、同時に前記第 2 の熱酸化膜の膜厚を増大させる工程とを含むことを特徴とする半導体集積回路装置の製造方法。

(付記 2) 半導体基板表面に、少なくともフラッシュメモリセル領域と第 1 の活性領域と第 2 の活性領域とを画成する素子分離構造を形成する工程と、

前記半導体基板に対して熱酸化処理工程を行うことにより、前記フラッシュメモリセル領域と前記第 1 の活性領域と前記第 2 の活性領域とを覆うように前記半導体基板表面にトンネル酸化膜を形成する工程と、

前記半導体基板上に、少なくとも前記フラッシュメモリセル領域と前記第 1 の活性領域と前記第 2 の活性領域とを含むように、アモルファスシリコン膜と、窒化膜を含む耐酸化性絶縁膜とを順次堆積する工程と、

前記第 1 の活性領域において選択的に前記半導体基板の表面を露出する工程と

、  
前記半導体基板に対して熱酸化処理を行うことにより、前記第 1 の領域において前記半導体基板表面に第 1 の熱酸化膜を形成する工程と、

前記第 2 の活性領域において選択的に前記半導体基板の表面を露出する工程と

、  
前記半導体基板に対して熱酸化処理を行うことにより、前記第 2 の領域において前記半導体基板表面に第 2 の熱酸化膜を形成する工程とよりなることを特徴とする半導体集積回路装置の製造方法。

(付記 3) 半導体基板表面に少なくともフラッシュメモリセル領域と第 1



の活性領域と第 2 の活性領域とを画成する素子分離構造を形成する工程と、

前記半導体基板に対して熱酸化処理を行うことにより、少なくとも前記フラッシュメモリセル領域と前記第 1 の活性領域と前記第 2 の活性領域とを覆うように前記半導体基板表面にトンネル酸化膜を形成する工程と、

前記半導体基板上に、少なくとも前記フラッシュメモリセル領域と前記第 1 および第 2 の活性領域を含むようにアモルファスシリコン膜を堆積する工程と、

前記第 1 および第 2 の活性領域において選択的に前記アモルファスシリコン膜を除去する工程と、

前記半導体基板上に、少なくとも前記フラッシュメモリセル領域と前記第 1 の活性領域と前記第 2 の活性領域を覆うように、耐酸化性絶縁膜を堆積する工程と、

前記第 1 の活性領域において選択的に前記耐酸化性絶縁膜を除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、残留している前記耐酸化性絶縁膜を耐酸化性マスクとして熱酸化処理を行い、前記第 1 の活性領域において前記半導体基板表面を覆うように第 1 の熱酸化膜を形成する工程と、

前記第 2 の活性領域において選択的に前記耐酸化性膜を除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、残留している前記耐酸化性絶縁膜を耐酸化性マスクとして熱処理工程を行い、前記第 2 の活性領域において前記半導体基板表面を覆うように第 2 の熱酸化膜を形成する工程とよりなることを特徴とする半導体集積回路装置の製造方法。

(付記 4) 半導体基板表面に、フラッシュメモリセル領域と第 1 の活性領域と第 2 の活性領域と第 3 の活性領域とを画成する素子分離構造を形成する工程と、

前記第 1 の活性領域に酸化を抑制する不純物元素を導入する工程と、

前記半導体基板に対して熱酸化処理を行うことにより、前記フラッシュメモリセル領域および第 2 ～第 3 の活性領域において第 1 の膜厚を有するトンネル酸化膜を形成し、前記第 1 の活性領域において前記第 1 の膜厚よりも小さい第 2 の膜

厚を有する第 1 の熱酸化膜を形成する工程と、

前記半導体基板上に、前記フラッシュメモリセル領域および前記第 1 ～第 3 の活性領域を含むようにアモルファスシリコン膜と耐酸化性絶縁膜とを順次堆積する工程と、

前記第 2 の活性領域において選択的に前記耐酸化性絶縁膜を除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、残留している前記耐酸化性絶縁膜を耐酸化性マスクとして熱酸化処理を行うことにより、前記第 2 の活性領域において前記半導体基板表面を覆うように第 2 の熱酸化膜を形成する工程と、

前記第 3 の活性領域において選択的に前記耐酸化性絶縁膜を除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、残留している前記耐酸化性絶縁膜をマスクとして熱酸化処理を行うことにより、前記第 3 の活性領域において前記半導体基板表面を覆うように第 3 の熱酸化膜を形成する工程とよりなることを特徴とする半導体集積回路装置の製造方法。

(付記 5) 半導体基板表面に、フラッシュメモリセル領域と第 1 の活性領域と第 2 の活性領域と第 3 の活性領域とを画成する素子分離構造を形成する工程と、

前記第 1 の活性領域に酸化を抑制する不純物元素を導入する工程と、

前記半導体基板に対して熱酸化処理を行うことにより、前記フラッシュメモリセル領域および第 2 ～第 3 の活性領域において第 1 の膜厚を有するトンネル酸化膜を形成し、前記第 1 の活性領域において前記第 1 の膜厚よりも小さい第 2 の膜厚を有する第 1 の熱酸化膜を形成する工程と、

前記半導体基板上に、前記フラッシュメモリセル領域および前記第 2 ～第 3 の活性領域の各々において前記トンネル酸化膜を覆うように、また前記第 1 の活性領域において前記第 1 の熱酸化膜を覆うように、第 1 のアモルファスシリコン膜と耐酸化性絶縁膜とを順次堆積する工程と、

前記第 2 の活性領域において選択的に前記耐酸化性絶縁膜を除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、残留している前記耐酸化性絶縁膜をマスクに熱酸化処理を行うことにより、前記第2の活性領域において前記半導体基板表面を覆うように第2の熱酸化膜を形成する工程と、

前記第3の活性領域において選択的に前記耐酸化性絶縁膜を除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、残留している前記耐酸化性絶縁膜をマスクに熱酸化処理を行うことにより、前記第3の活性領域において前記半導体基板表面を覆うように第3の熱酸化膜を形成する工程と、

前記第1の活性領域において選択的に前記耐酸化性絶縁膜を除去する工程と、

前記半導体基板上に、前記フラッシュメモリセル領域および前記第1～第3の活性領域を含むように、第2のアモルファスシリコン膜を堆積する工程とよりなることを特徴とする半導体集積回路装置の製造方法。

(付記6) 半導体基板表面に、フラッシュメモリセル領域と第1の活性領域と第2の活性領域と第3の活性領域とを画成する素子分離構造を形成する工程と、

前記第1の活性領域に酸化を抑制する不純物元素を導入する工程と、

前記半導体基板に対して熱酸化処理を行うことにより、前記フラッシュメモリセル領域および第2～第3の活性領域において第1の膜厚を有するトンネル酸化膜を形成し、前記第1の活性領域において前記第1の膜厚よりも小さい第2の膜厚を有する第1の熱酸化膜を形成する工程と、

前記半導体基板上に、前記フラッシュメモリセル領域および前記第1～第3の活性領域を含むように、第1のアモルファスシリコン膜と耐酸化性絶縁膜とを順次堆積する工程と、

前記第2の活性領域において選択的に前記耐酸化性絶縁膜を除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、残留している前記耐酸化性絶縁膜を耐酸化性マスクに熱酸化処理を行うことにより、前記第2の活性領域において前記半導体基板表面を覆うように第2の熱酸化膜を形成する工程と、

前記第3の活性領域において選択的に前記耐酸化性絶縁膜を除去し、前記半導

体基板表面を露出する工程と、

前記半導体基板に対して、残留している前記耐酸化性絶縁膜をマスクに熱酸化処理を行うことにより、前記第 3 の活性領域において前記半導体基板表面を覆うように第 3 の熱酸化膜を形成する工程と、

前記半導体基板上に、前記フラッシュメモリセル領域および前記第 1 ～第 3 の活性領域を含むように、第 2 のアモルファスシリコン膜を堆積する工程と、

前記第 1 の活性領域において前記第 2 のアモルファスシリコン膜と前記耐酸化性絶縁膜とを選択的に除去する工程とよりなることを特徴とする半導体集積回路装置の製造方法。

(付記 7) さらに前記半導体基板上に、前記フラッシュメモリセル領域および前記第 1 ～第 3 の活性領域を含むように第 3 のアモルファスシリコン膜を堆積する工程を含むことを特徴とする付記 6 記載の半導体集積回路装置の製造方法。

# 【 0 1 8 1 】

(付記 8) 半導体基板表面に、フラッシュメモリセル領域と第 1 の活性領域と第 2 の活性領域と第 3 の活性領域とを画成する素子分離構造を形成する工程と、

前記第 1 の活性領域に酸化を抑制する不純物元素を導入する工程と、

前記半導体基板に対して熱酸化処理を行うことにより、前記フラッシュメモリセル領域および第 2 ～第 3 の活性領域において第 1 の膜厚を有するトンネル酸化膜を形成し、前記第 1 の活性領域において前記第 1 の膜厚よりも小さい第 2 の膜厚を有する第 1 の熱酸化膜を形成する工程と、

前記半導体基板上に、前記フラッシュメモリセル領域および前記第 2 ～第 3 の活性領域の各々において前記トンネル酸化膜を覆うように、また前記第 1 の活性領域において前記第 1 の熱酸化膜を覆うように、第 1 のアモルファスシリコン膜と耐酸化性絶縁膜とを順次堆積する工程と、

前記第 2 の活性領域において選択的に前記耐酸化性絶縁膜を除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、残留している前記耐酸化性絶縁膜をマスクに熱酸化

処理を行うことにより、前記第2の活性領域において前記半導体基板表面を覆うように第2の熱酸化膜を形成する工程と、

前記第3の活性領域において選択的に前記耐酸化性絶縁膜を除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して残留している前記耐酸化性絶縁膜を耐酸化性マスクに熱酸化処理を行うことにより、前記第3の活性領域において前記半導体基板表面を覆うように第3の熱酸化膜を形成する工程と、

前記半導体基板上に、前記フラッシュメモリセル領域および前記第1～第3の活性領域を含むように第2のアモルファスシリコン膜を堆積する工程と、

前記フラッシュメモリセル領域において前記第2のアモルファスシリコン膜をパターニングしてコントロールゲートパターンを形成し、同時に前記第1の活性領域において前記第2のアモルファスシリコン膜を除去する工程とよりなることを特徴とする半導体集積回路装置の製造方法。

(付記9) 半導体基板表面に、フラッシュメモリセル領域と第1の活性領域と第2の活性領域と第3の活性領域とを画成する素子分離構造を形成する工程と、

前記半導体基板に対して熱酸化処理を行うことにより、前記フラッシュメモリセル領域および第1～第3の活性領域において第1の熱酸化膜を形成する工程と、

前記半導体基板上に、前記フラッシュメモリセル領域および前記第1～第3の活性領域を含むように第1のアモルファスシリコン膜を堆積する工程と、

前記第2の活性領域において選択的に前記第1のアモルファスシリコン膜を除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して熱酸化処理を行うことにより、前記第2の活性領域において前記半導体基板表面を覆うように第2の熱酸化膜を形成する工程と、

前記第3の活性領域において前記半導体基板中に酸化を抑制する不純物元素を選択的に導入する工程と、

前記フラッシュメモリセル領域および前記第3の活性領域において選択的に前記第1のアモルファスシリコン膜および前記第1の熱酸化膜を除去し、前記半導

体基板表面を露出する工程と、

前記半導体基板に対して熱酸化処理を行うことにより、前記フラッシュメモリセル領域において前記半導体基板表面を覆うようにトンネル酸化膜を、また前記第3の活性領域において前記半導体基板表面を覆うように第3の熱酸化膜を同時に形成する工程と、

前記半導体基板上に、前記フラッシュメモリセル領域および前記第1～第3の活性領域を含むように第2のアモルファスシリコン膜を堆積する工程と、

前記フラッシュメモリセル領域において前記第2のアモルファスシリコン膜をパターニングしてゲート電極を形成し、同時に前記第1の活性領域において前記アモルファスシリコン膜を除去する工程とよりなることを特徴とする半導体集積回路装置の製造方法。

(付記10) 半導体基板上に、フラッシュメモリセル領域および第1～第3の活性領域を画成する素子分離構造を形成する工程と、

前記フラッシュメモリセル領域および前記第1～第3の活性領域の各々に、前記半導体基板表面を覆うように窒化膜を含む耐酸化性絶縁膜を形成する工程と、

前記第1の活性領域において前記耐酸化性絶縁膜を選択的に除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、前記残留している耐酸化性絶縁膜を耐酸化性マスクに熱酸化処理工程を行い、前記第1の活性領域において前記半導体基板表面に第1の熱酸化膜を形成する工程と、

前記第2の活性領域において前記耐酸化性絶縁膜を選択的に除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、前記残留している耐酸化性絶縁膜を耐酸化性マスクに熱酸化処理工程を行い、前記第2の活性領域において前記半導体基板表面に第2の熱酸化膜を形成する工程と、

前記第3の活性領域において前記耐酸化性絶縁膜を選択的に除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、前記残留している耐酸化性絶縁膜を耐酸化性マスクに熱酸化処理工程を行い、前記第3の活性領域において前記半導体基板表面に第

3の熱酸化膜を形成する工程とよりなることを特徴とする半導体集積回路装置の製造方法。

(付記11) 半導体基板上に、フラッシュメモリセル領域および第1～第3の活性領域を画成する素子分離構造を形成する工程と、

前記フラッシュメモリセル領域および前記第1～第3の活性領域の各々に、前記半導体基板表面を覆うように窒化膜を含む耐酸化性絶縁膜を形成する工程と、

前記フラッシュメモリセル領域にのみ、選択的にソース領域とドレイン領域とを形成する工程と、

前記第1の活性領域において前記耐酸化性絶縁膜を選択的に除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、前記残留している耐酸化性絶縁膜を耐酸化性マスクに熱酸化処理工程を行い、前記第1の活性領域において前記半導体基板表面に第1の熱酸化膜を形成する工程と、

前記第2の活性領域において前記耐酸化性絶縁膜を選択的に除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、前記残留している耐酸化性絶縁膜を耐酸化性マスクに熱酸化処理工程を行い、前記第2の活性領域において前記半導体基板表面に第2の熱酸化膜を形成する工程と、

前記第3の活性領域において前記耐酸化性絶縁膜を選択的に除去し、前記半導体基板表面を露出する工程と、

前記半導体基板に対して、前記残留している耐酸化性絶縁膜を耐酸化性マスクに熱酸化処理工程を行い、前記第3の活性領域において前記半導体基板表面に第3の熱酸化膜を形成する工程とよりなることを特徴とする半導体集積回路装置の製造方法。

(付記12) 前記耐酸化性膜は、窒化膜を一对の酸化膜の間に挟持した構成を有することを特徴とする付記1～11のうち、いずれか一項記載の半導体集積回路装置の製造方法。

【0182】

(付記13) 前記第1～第2の熱酸化膜の一つは、複数の熱酸化膜の積層

よりなることを特徴とする付記 1 ～ 1 2 のうち、いずれか一項記載の半導体集積回路装置の製造方法。

【 0 1 8 3 】

(付記 1 4) 前記第 1 ～ 第 3 の熱酸化膜の一つは複数の熱酸化膜の積層よりなることを特徴とする付記 1 または付記 4 ～ 1 1 のうち、いずれか一項記載の半導体集積回路装置の製造方法。

【 0 1 8 4 】

(付記 1 5) 前記不純物元素は窒素であることを特徴とする付記 1 または付記 4 ～ 9 のうち、いずれか一項記載の半導体集積回路装置の製造方法。

【 0 1 8 5 】

(付記 1 6) 半導体基板と、  
前記半導体基板上のメモリセル領域に形成されたフラッシュメモリと、  
前記半導体基板上の第 1 の素子領域に形成され、第 1 のゲート酸化膜と第 1 のゲート電極とを有する第 1 の MOS トランジスタと、  
前記半導体基板上の第 2 の素子領域に形成され、第 2 のゲート絶縁膜と第 2 のゲート電極とを有する第 2 の MOS トランジスタと、  
前記半導体基板上の第 3 の素子領域に形成され、第 3 のゲート絶縁膜と第 3 のゲート電極とを有する第 3 の MOS トランジスタとよりなる半導体集積回路装置において、  
前記第 1 の厚さは前記第 2 の厚さよりも小さく、前記第 2 の厚さは前記第 3 の厚さよりも小さく、  
前記第 1 ～ 第 3 のゲート電極は、実質的に等しい高さを有することを特徴とする半導体集積回路装置。

【 0 1 8 6 】

(付記 1 7) 前記第 1 および第 3 のゲート電極は第 1 のシリコン膜上に第 2 のシリコン膜を積層した構造を有し、前記第 2 のゲート電極は第 3 のシリコン膜上に前記第 2 のシリコン膜を積層した構造を有し、前記フラッシュメモリは、前記第 3 のシリコン膜よりなるフローティングゲート電極と、フローティングゲート電極上に絶縁膜を介して形成され、前記第 1 のシリコン膜と前記第 2 のシ



リコン膜とを順次積層した構造のコントロール電極とよりなることを特徴とする付記 1 6 記載の半導体集積回路装置。

【0 1 8 7】

(付記 1 8) 前記フラッシュメモリは、第 1 のシリコン膜よりなるフローティングゲート電極と、前記フローティングゲート電極上に絶縁膜を介して形成された第 2 のシリコン膜よりなるコントロールゲート電極とより構成され、前記第 1 および第 3 のゲート電極は前記第 2 のポリシリコン膜より構成され、前記第 2 のゲート電極は前記第 1 のポリシリコン膜より構成されることを特徴とする付記 1 6 記載の半導体集積回路装置。

【0 1 8 8】

【発明の効果】

本発明によれば、フラッシュメモリセルを含み、またゲート絶縁膜の膜厚の異なる多種類の MOS トランジスタを含み、多電源電圧に対応した半導体集積回路装置において、熱酸化膜形成工程とそれを除去するエッチング工程とが各々のトランジスタ形成領域において 2 回以上繰り返されることがなくなり、その結果、素子領域とその周辺の素子分離構造との間に深い凹部が形成される問題が解消する。これに伴い、素子領域周辺部においてゲート酸化膜の膜厚が減少し、MOS トランジスタのしきい値特性が変調を受けていた問題が解決し、また各トランジスタ形成領域において、ゲート酸化膜となる熱酸化膜の膜質が向上し、膜厚の精度が向上する。さらに本発明では、フラッシュメモリセル以外の MOS トランジスタにおいて、ゲート電極の抵抗値をゲート電極の膜厚に対応して最適化することができ、またゲート電極の高さを共通のレベルに揃えることが可能になる。

【図面の簡単な説明】

【図 1】

(A), (B) は、従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その 1)である。

【図 2】

(C), (D) は、従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その 2)である。

【図 3】

(E), (F) は、従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その 3）である。

【図 4】

(G), (H) は、従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その 4）である。

【図 5】

(I), (J) は、従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その 5）である。

【図 6】

(K), (L) は、従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その 6）

【図 7】

(M), (N) は、従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その 6）である。

【図 8】

(O), (P) は、従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その 7）である。

【図 9】

(Q) は、従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その 8）である。

【図 10】

(A) ~ (C) は、従来の半導体集積回路装置の製造工程の問題点を説明する図である。

【図 11】

(A) ~ (C) は、従来の半導体集積回路装置の製造工程の問題点を説明する別の図である。

【図 12】

(A) ~ (C) は、従来の半導体集積回路装置の製造工程の問題点を説明する

別の図である。

【図 1 3】

(A) ~ (C) は、従来の半導体集積回路装置の製造工程の問題点を説明する別の図である。

【図 1 4】

(A) ~ (C) は、従来の半導体集積回路装置の製造工程の問題点を説明する別の図である。

【図 1 5】

(A) ~ (B) は、従来の半導体集積回路装置の製造工程の問題点を説明する別の図である。

【図 1 6】

(A), (B) は、別の従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図 (その 1) である。

【図 1 7】

(C), (D) は、別の従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図 (その 2) である。

【図 1 8】

(E), (F) は、別の従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図 (その 3) である。

【図 1 9】

(G), (H) は、別の従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図 (その 4) である。

【図 2 0】

(I), (J) は、別の従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図 (その 5) である。

【図 2 1】

(K), (L) は、別の従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図 (その 6)

【図 2 2】

(M) は、別の従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その 7）である。

【図 2 3】

(A) ～ (D) は、前記別の従来の半導体集積回路装置の製造工程の問題点を説明する図である。

【図 2 4】

(A) ～ (D) は、前記別の従来の半導体集積回路装置の製造工程の問題点を説明する別の図である。

【図 2 5】

(A) ～ (D) は、前記別の従来の半導体集積回路装置の製造工程の問題点を説明する別の図である。

【図 2 6】

(A) ～ (D) は、前記別の従来の半導体集積回路装置の製造工程の問題点を説明する別の図である。

【図 2 7】

(A) ～ (D) は、前記別の従来の半導体集積回路装置の製造工程の問題点を説明する別の図である。

【図 2 8】

(A) ～ (D) は、前記別の従来の半導体集積回路装置の製造工程の問題点を説明する別の図である。

【図 2 9】

(A) ～ (D) は、前記別の従来の半導体集積回路装置の製造工程の問題点を説明する別の図である。

【図 3 0】

(A) ～ (D) は、前記別の従来の半導体集積回路装置の製造工程の問題点を説明する別の図である。

【図 3 1】

従来のフラッシュメモリの構成を示す平面図である。

【図 3 2】

(A), (B) は、図31のフラッシュメモリの構成を示す断面図である。

【図33】

(A) ~ (D) は、図31のフラッシュメモリの動作を説明する図である。

【図34】

(A), (B) は、図31のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その1)である。

【図35】

(C), (D) は、図31のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その2)である。

【図36】

(E), (F) は、図31の従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その3)である。

【図37】

(G), (H) は、図31の従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その4)である。

【図38】

(I), (J) は、図31の従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その5)である。

【図39】

(K), (L) は、図31の従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その6)

【図40】

(M), (N) は、別の従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その7)である。

【図41】

(O) は、別の従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その8)である。

【図42】

(A) ~ (D) は、前記従来の半導体集積回路装置の製造工程の問題点を説明

する図である。

【図 4 3】

(A) ～ (D) は、前記従来の半導体集積回路装置の製造工程の問題点を説明する別の図である。

【図 4 4】

(A) ～ (D) は、前記従来の半導体集積回路装置の製造工程の問題点を説明する別の図である。

【図 4 5】

(A) ～ (D) は、前記従来の半導体集積回路装置の製造工程の問題点を説明する別の図である。

【図 4 6】

(A) ～ (D) は、前記従来の半導体集積回路装置の製造工程の問題点を説明する別の図である。

【図 4 7】

(A) ～ (D) は、前記従来の半導体集積回路装置の製造工程の問題点を説明する別の図である。

【図 4 8】

(A) ～ (D) は、前記従来の半導体集積回路装置の製造工程の問題点を説明する別の図である。

【図 4 9】

(A) ～ (D) は、前記従来の半導体集積回路装置の製造工程の問題点を説明する別の図である。

【図 5 0】

(A) ～ (C) は、前記従来の半導体集積回路装置の製造工程の問題点を説明する別の図である。

【図 5 1】

(A) , (B) は、前記従来の半導体集積回路装置の製造工程の問題点を説明する別の図である。

【図 5 2】

(A), (B) は、本発明の第 1 実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図 (その 1) である。

【図 5 3】

(C), (D) は、本発明の第 1 実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図 (その 2) である。

【図 5 4】

(E), (F) は、本発明の第 1 実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図 (その 3) である。

【図 5 5】

(G) は、本発明の第 1 実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図 (その 4) である。

【図 5 6】

(A) ~ (C) は本実施例の効果を説明する図である。

【図 5 7】

(A) ~ (C) は本実施例の効果を説明する別の図である。

【図 5 8】

(A) ~ (C) は本実施例の効果を説明する別の図である。

【図 5 9】

(A) ~ (C) は本実施例の効果を説明する別の図である。

【図 6 0】

(A) ~ (C) は本実施例の効果を説明する別の図である。

【図 6 1】

(A), (B) は本実施例の効果を説明する別の図である。

【図 6 2】

(A), (B) は、本発明の第 1 実施例の一変形例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図 (その 1) である。

【図 6 3】

(C), (D) は、本発明の第 1 実施例の一変形例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図 (その 2) である。

【図 6 4】

(A), (B) は、本発明の第 1 実施例の別変形例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図 (その 1) である。

【図 6 5】

(C), (D) は、本発明の第 1 実施例の別変形例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図 (その 2) である。

【図 6 6】

(E), (F) は、本発明の第 1 実施例の別変形例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図 (その 3) である。

【図 6 7】

(G), (H) は、本発明の第 1 実施例の別変形例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図 (その 4) である。

【図 6 8】

(A) ~ (D) は本実施例の効果を説明する図である。

【図 6 9】

(A) ~ (C) は本実施例の効果を説明する別の図である。

【図 7 0】

(A), (B) は、本発明の第 2 実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図 (その 1) である。

【図 7 1】

(C), (D) は、本発明の第 2 実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図 (その 2) である。

【図 7 2】

(E), (F) は、本発明の第 2 実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図 (その 3) である。

【図 7 3】

(G), (H) は、本発明の第 2 実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図 (その 4) である。

【図 7 4】



(I), (J) は、本発明の第 2 実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図 (その 5) である。

【図 7 5】

(K) は、本発明の第 2 実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図 (その 6) である。

【図 7 6】

(A) ~ (C) は、本発明の第 2 実施例による半導体集積回路装置の一部を示す図である。

【図 7 7】

(A), (B) は、本発明の第 3 実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図 (その 1) である。

【図 7 8】

(C), (D) は、本発明の第 3 実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図 (その 2) である。

【図 7 9】

(E), (F) は、本発明の第 3 実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図 (その 3) である。

【図 8 0】

(G), (H) は、本発明の第 3 実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図 (その 4) である。

【図 8 1】

(I), (J) は、本発明の第 3 実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図 (その 5) である。

【図 8 2】

(K), (L) は、本発明の第 3 実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図 (その 6) である。

【図 8 3】

(A) ~ (C) は、本発明の第 3 実施例による半導体集積回路装置の一部を示す図である。

【図 8 4】

(A), (B) は、本発明の第 4 実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その 1）である。

【図 8 5】

(C), (D) は、本発明の第 4 実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その 2）である。

【図 8 6】

(E), (F) は、本発明の第 4 実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その 3）である。

【図 8 7】

(G), (H) は、本発明の第 4 実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その 4）である。

【図 8 8】

(I), (J) は、本発明の第 4 実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その 5）である。

【図 8 9】

(K), (L) は、本発明の第 4 実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その 6）である。

【図 9 0】

(A) ~ (D) は、本発明の第 4 実施例による半導体集積回路装置の一部を示す図である。

【図 9 1】

(A), (B) は、本発明の第 5 実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その 1）である。

【図 9 2】

(C), (D) は、本発明の第 5 実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その 2）である。

【図 9 3】

(E), (F) は、本発明の第 5 実施例によるフラッシュメモリを含む半導体

集積回路装置の製造工程を示す図（その 3）である。

【図 9 4】

（G），（H）は、本発明の第 5 実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その 4）である。

【図 9 5】

（I），（J）は、本発明の第 5 実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その 5）である。

【図 9 6】

（K）は、本発明の第 5 実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その 6）である。

【図 9 7】

（A）～（D）は、本発明の第 5 実施例による半導体集積回路装置の一部を示す図である。

【図 9 8】

（A），（B）は、本発明の第 6 実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その 1）である。

【図 9 9】

（C），（D）は、本発明の第 6 実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その 2）である。

【図 1 0 0】

（E），（F）は、本発明の第 6 実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その 3）である。

【図 1 0 1】

（G），（H）は、本発明の第 6 実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その 4）である。

【図 1 0 2】

（I），（J）は、本発明の第 6 実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その 5）である。

【図 1 0 3】

(A) ~ (D) は、本発明の第 6 実施例による半導体集積回路装置の一部を示す図である。

【図 1 0 4】

(A) ~ (D) は、本発明の第 6 実施例による半導体集積回路装置の一部を示す別の図である。

【図 1 0 5】

(A) ~ (D) は、本発明の第 6 実施例による半導体集積回路装置の一部を示す別の図である。

【図 1 0 6】

(A), (B) は、本発明の第 6 実施例の一変形例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その 1）である。

【図 1 0 7】

(C), (D) は、本発明の第 6 実施例の一変形例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その 2）である。

【図 1 0 8】

(E), (F) は、本発明の第 6 実施例の一変形例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その 3）である。

【図 1 0 9】

(G), (H) は、本発明の第 6 実施例の一変形例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その 4）である。

【図 1 1 0】

(I) は、本発明の第 6 実施例の一変形例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その 5）である。

【図 1 1 1】

(A), (B) は、本発明の第 7 実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その 1）である。

【図 1 1 2】

(C), (D) は、本発明の第 7 実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その 2）である。

【図 1 1 3】

(E), (F) は、本発明の第 7 実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その 3）である。

【図 1 1 4】

(G), (H) は、本発明の第 7 実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その 4）である。

【図 1 1 5】

(I), (J) は、本発明の第 7 実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その 5）である。

【図 1 1 6】

本発明の第 8 実施例によるフラッシュメモリの構成を示す平面図である。

【図 1 1 7】

図 1 1 6 のフラッシュメモリの断面構造を示す図である。

【図 1 1 8】

(A), (B) は、図 1 1 6 のフラッシュメモリの動作を説明する図である。

【図 1 1 9】

(A), (B) は、図 1 1 6 のフラッシュメモリの製造工程を示す図である。

【符号の説明】

1 1 Si 基板

1 1 F フィールド酸化膜

1 1 G S T I 構造

1 1 a ~ 1 1 e 拡散領域

1 2 A トンネル酸化膜

1 2 B ~ 1 2 D ゲート絶縁膜

1 3, 1 6 アモルファスシリコン膜

1 3 A フローティングゲート電極

1 4 O N O 膜

1 5 A ~ 1 5 B, 1 7 A ~ 1 7 B, 1 9 A ~ 1 9 D, 1 1 1 A, 1 1 1 B, 1 1

1 C, 1 1 1 D, 1 1 1 E, 1 1 1 F レジストパターン

1 6 A コントロールゲート電極

1 6 B ~ 1 6 D ゲート電極

1 6 F 積層ゲート電極構造

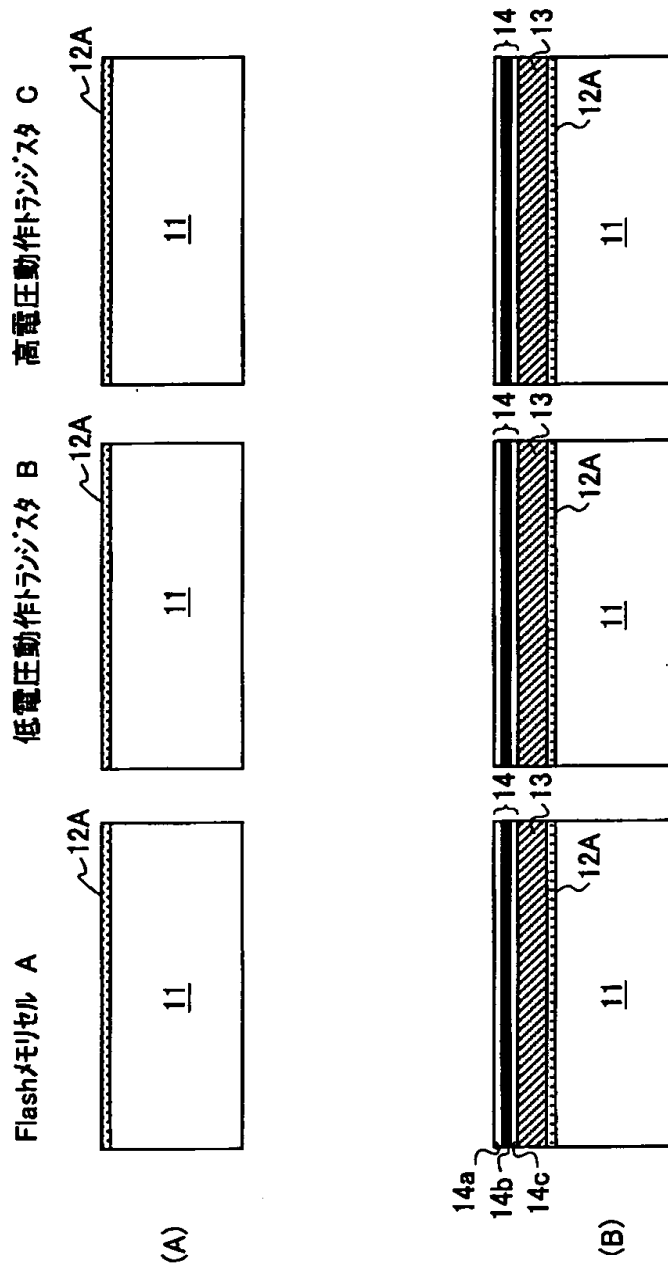
1 8 , 1 1 0 絶縁膜

【書類名】

図面

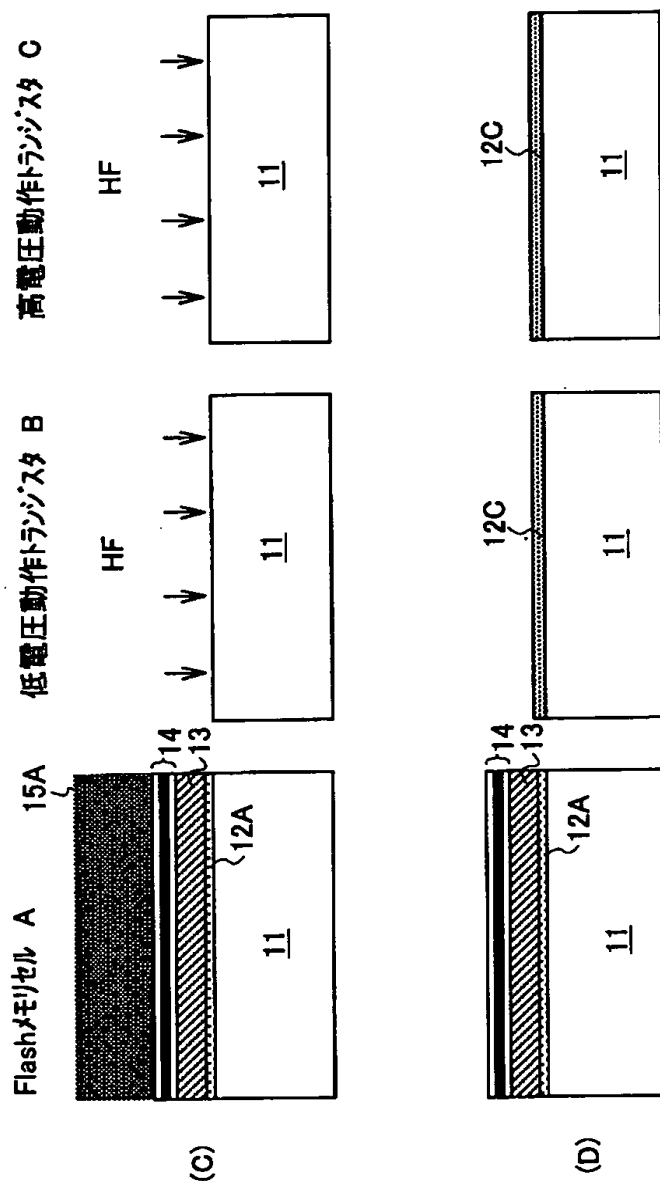
【図 1】

(A)、(B)は、従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その1)



【図 2】

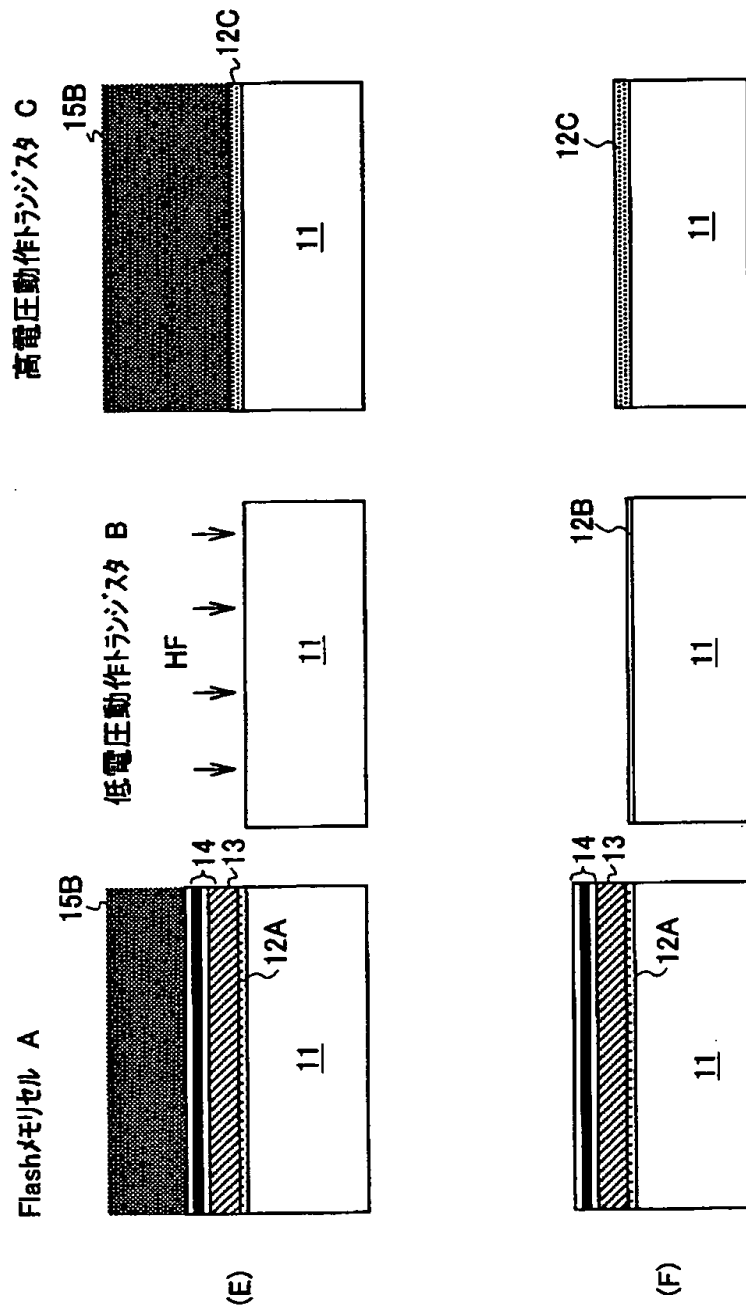
(C)、(D)は、従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その2)





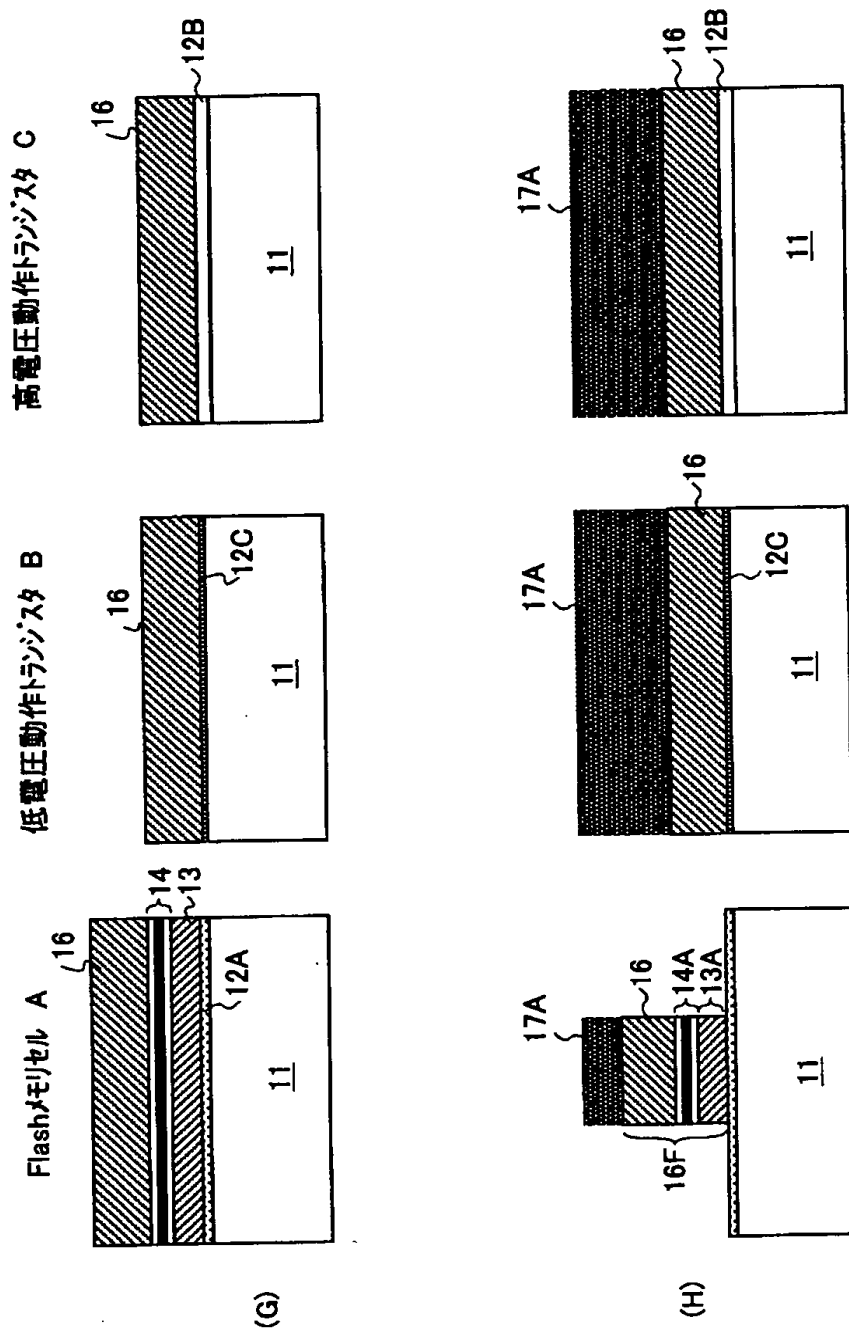
【図 3】

(E)、(F)は、従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その3)



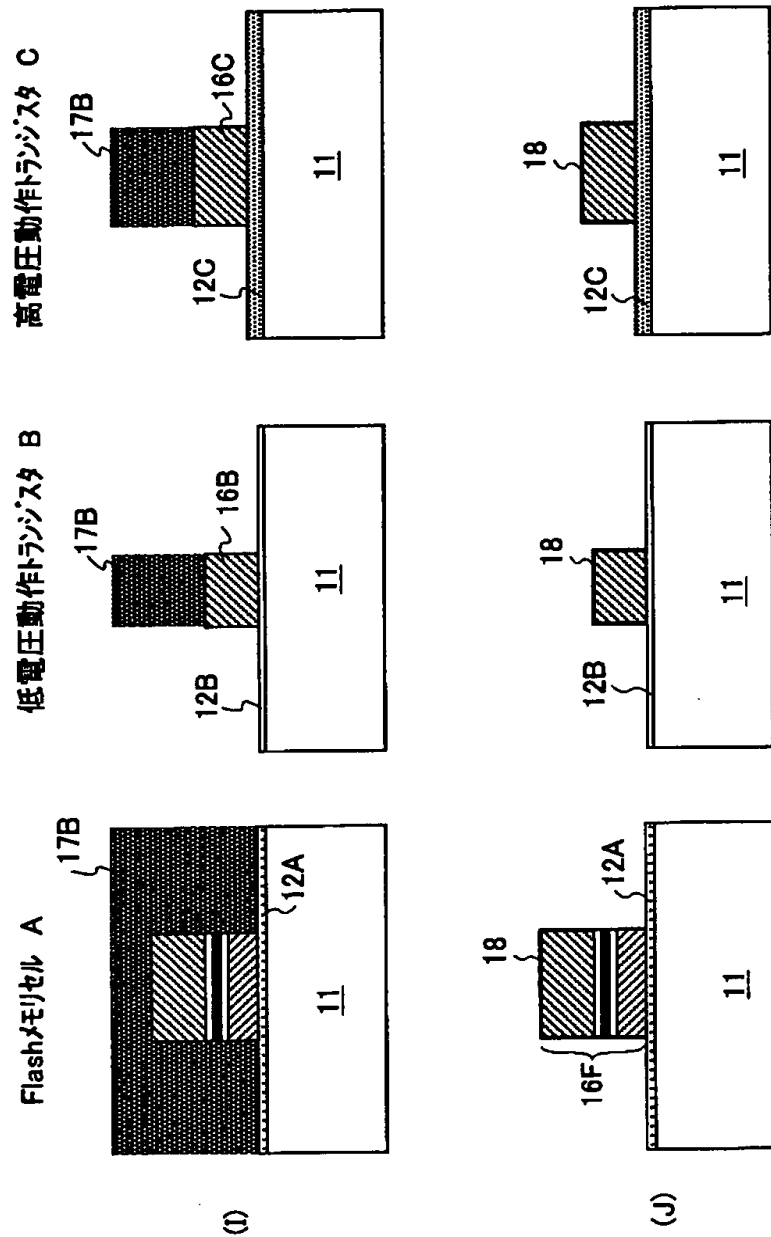
【図 4】

(G)、(H)は、従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その4)



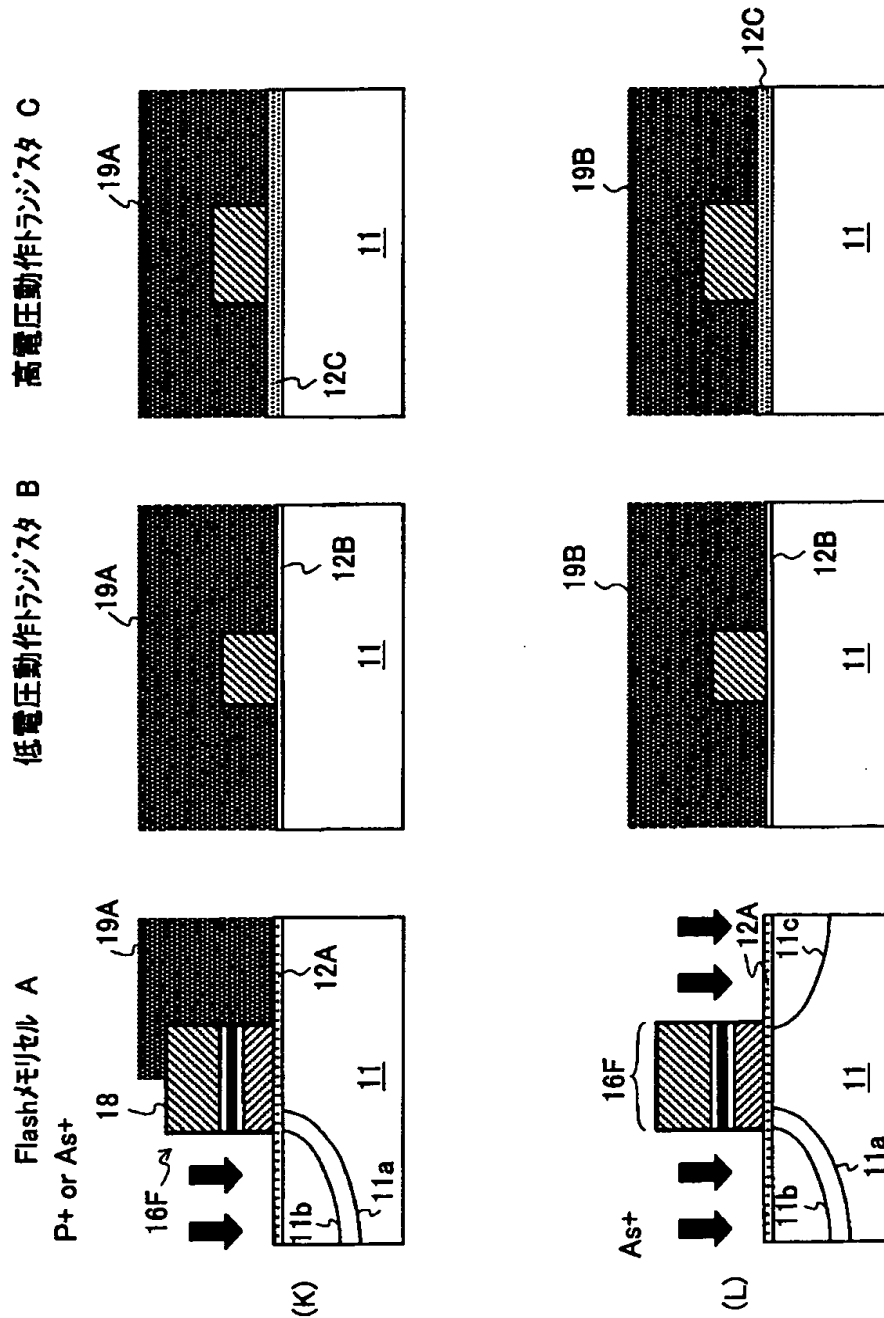
【図5】

(I)、(J)は、従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その5)



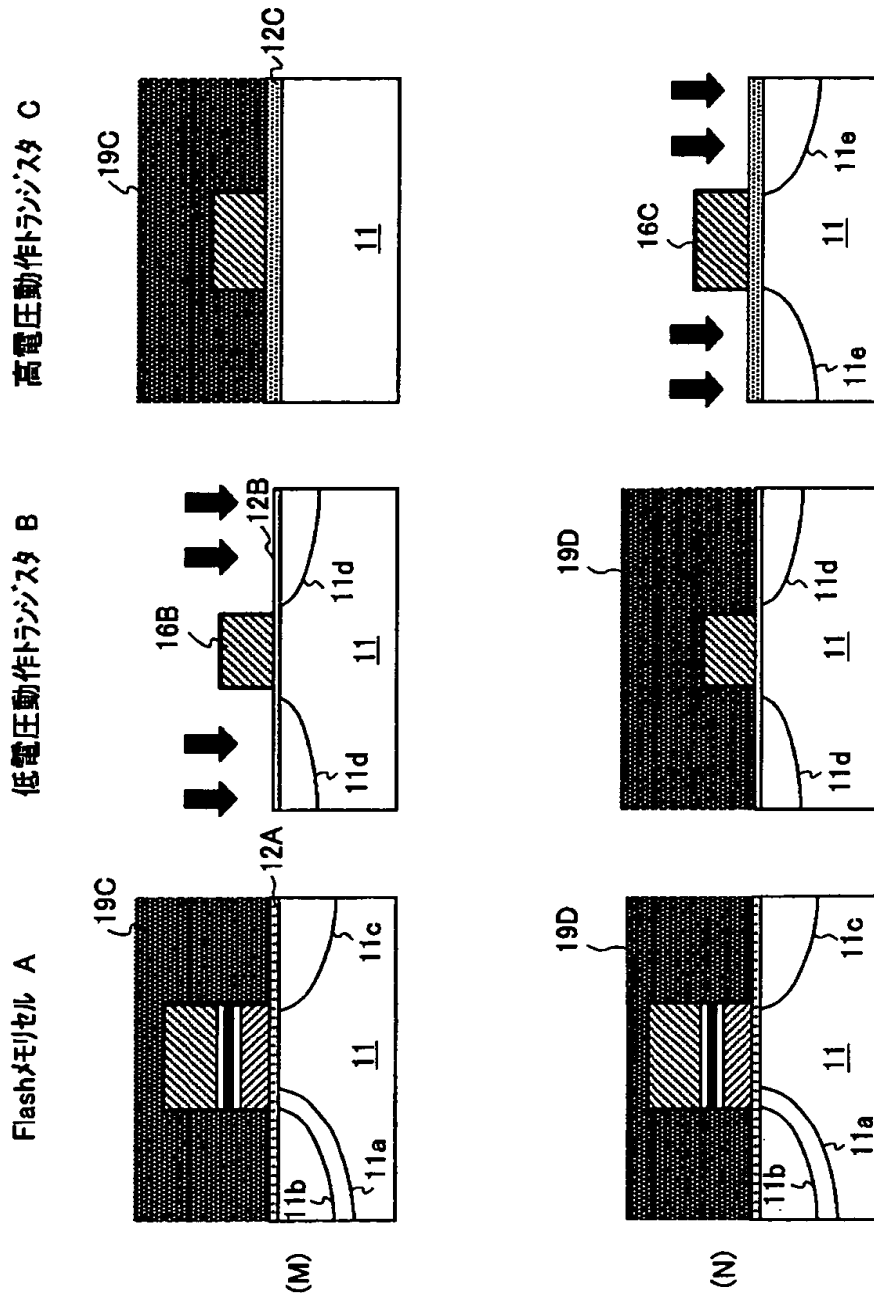
【図 6】

(K)、(L)は、従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その6)



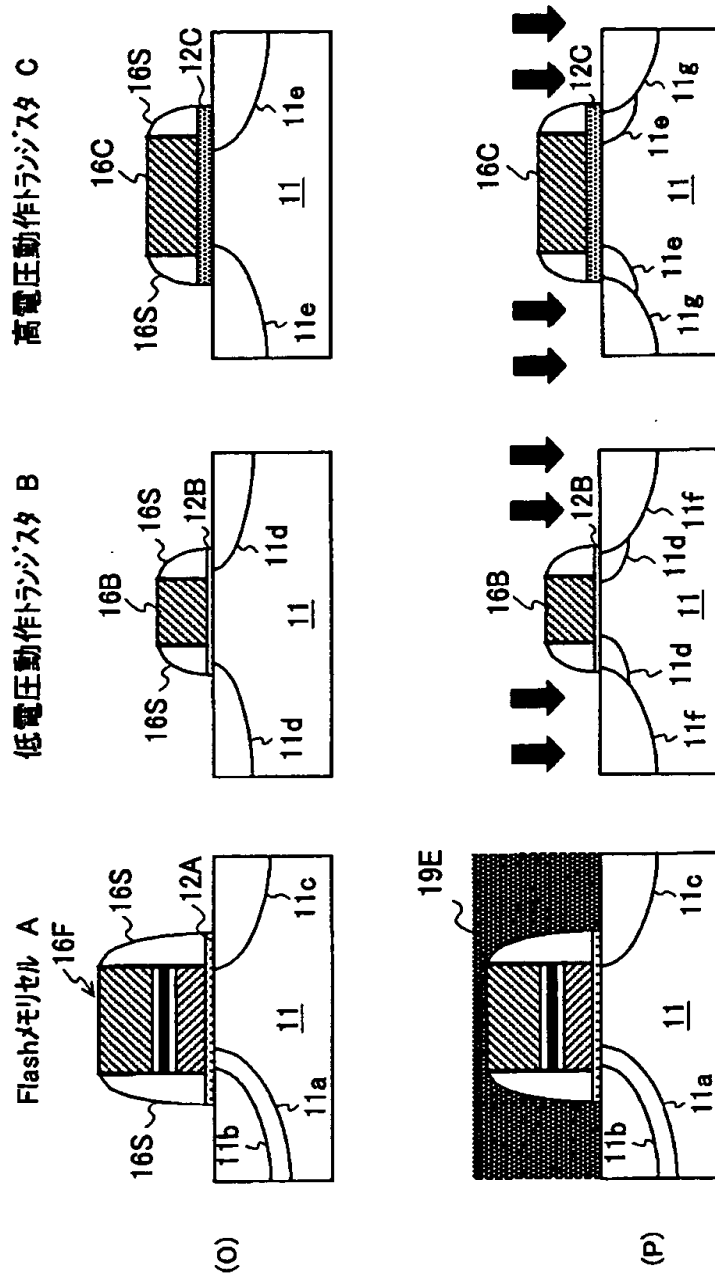
【図 7】

(M)、(N)は、従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その6)



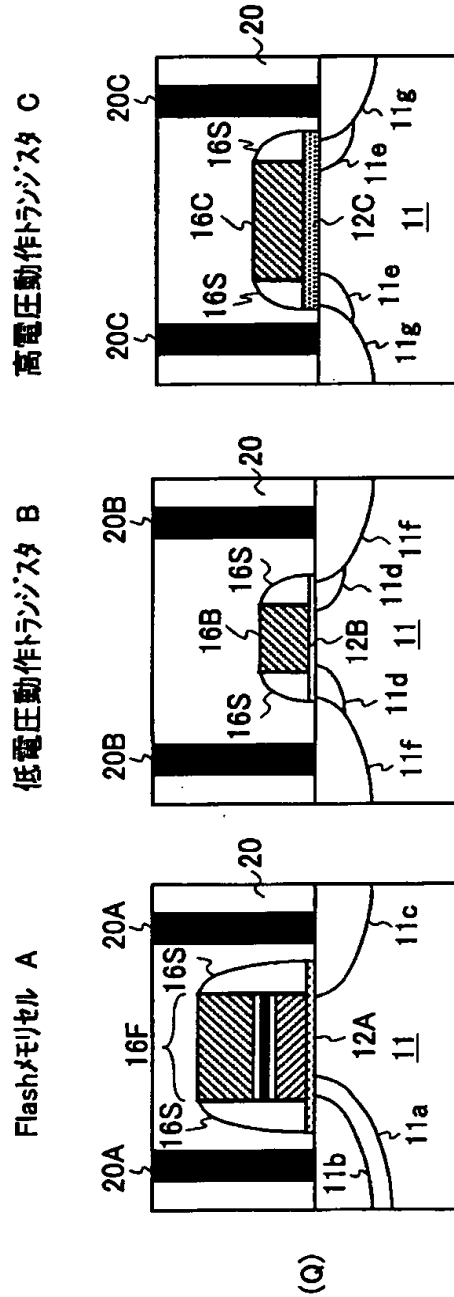
【図 8】

(O), (P)は、従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その7)



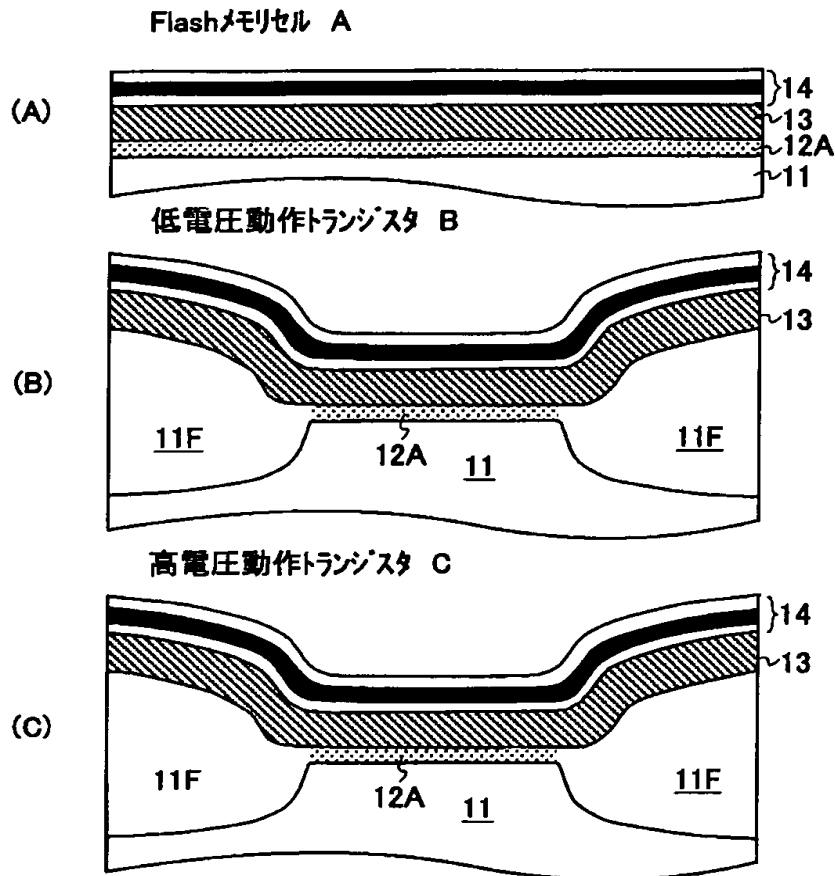
【図9】

(Q)は、従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その8)



【図 1 0】

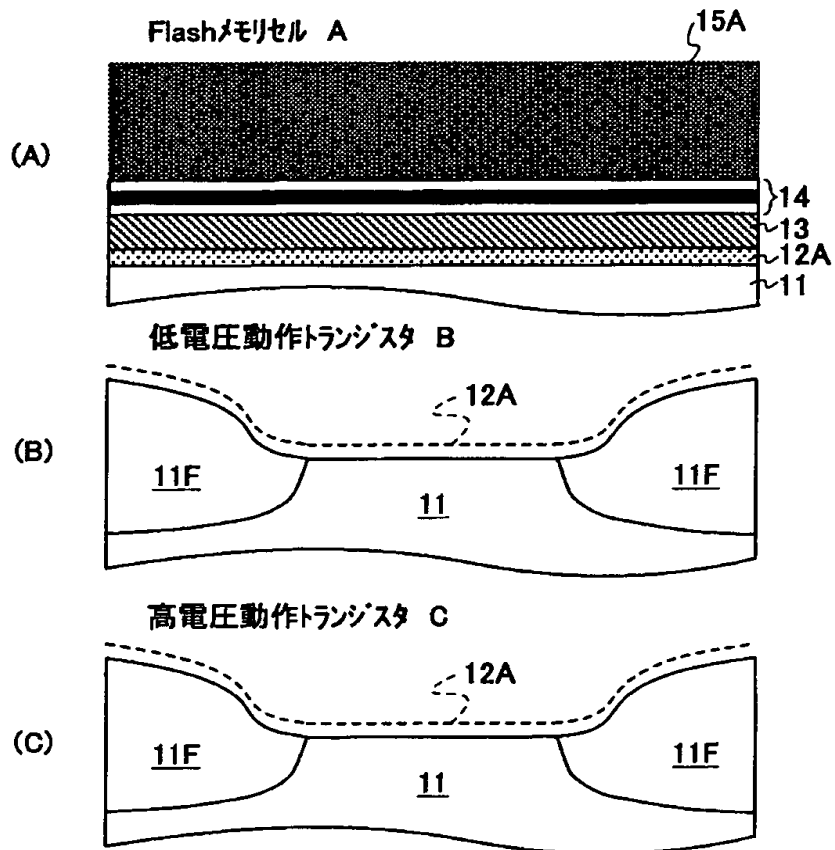
(A)～(C)は、従来の半導体集積回路装置の  
製造工程の問題点を説明する図





【図 1 1】

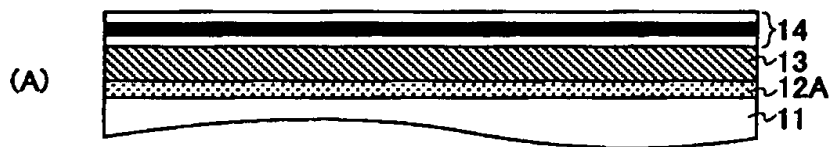
(A)～(C)は、従来の半導体集積回路装置の  
製造工程の問題点を説明する別の図



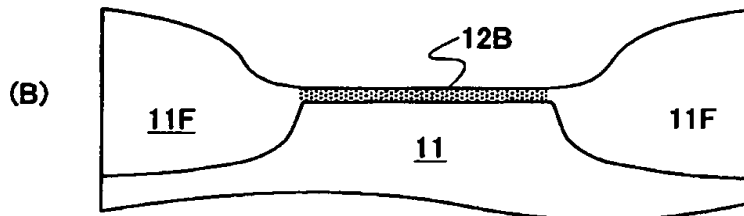
【図 1 2】

(A)～(C)は、従来の半導体集積回路装置の  
製造工程の問題点を説明する別の図

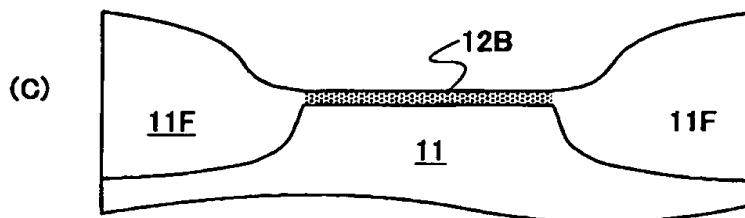
Flashメモリセル A



低電圧動作トランジスタ B

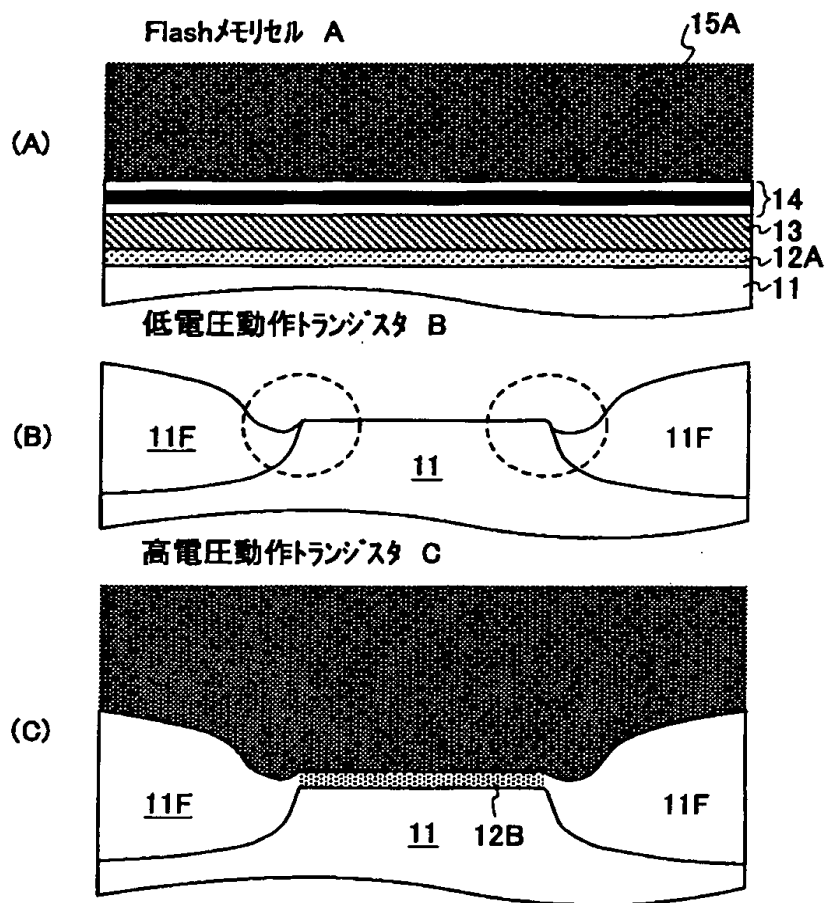


高電圧動作トランジスタ C



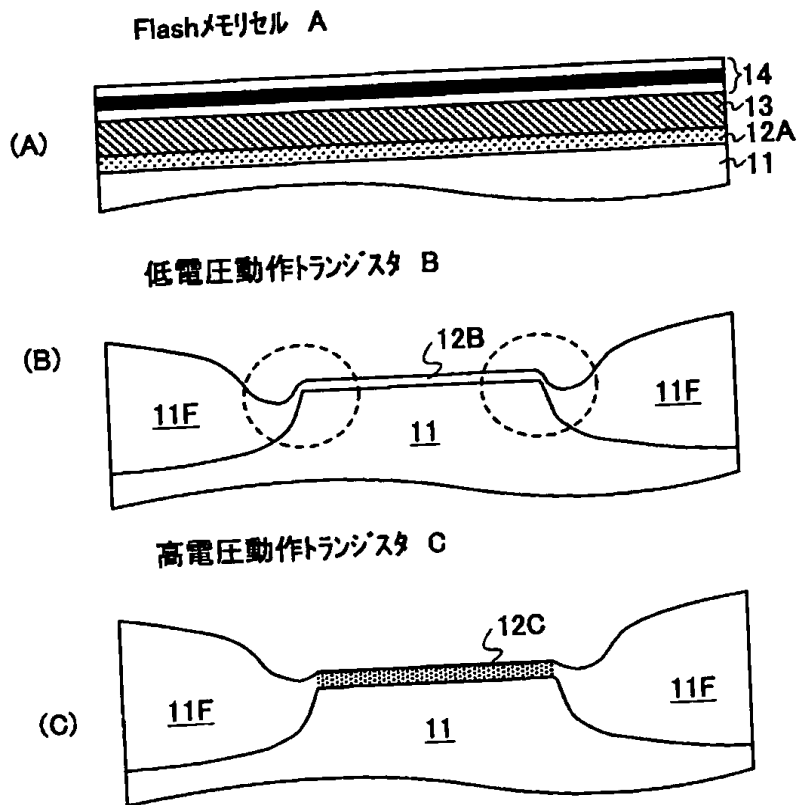
【図 1 3】

(A)～(C)は、従来の半導体集積回路装置の  
製造工程の問題点を説明する別の図



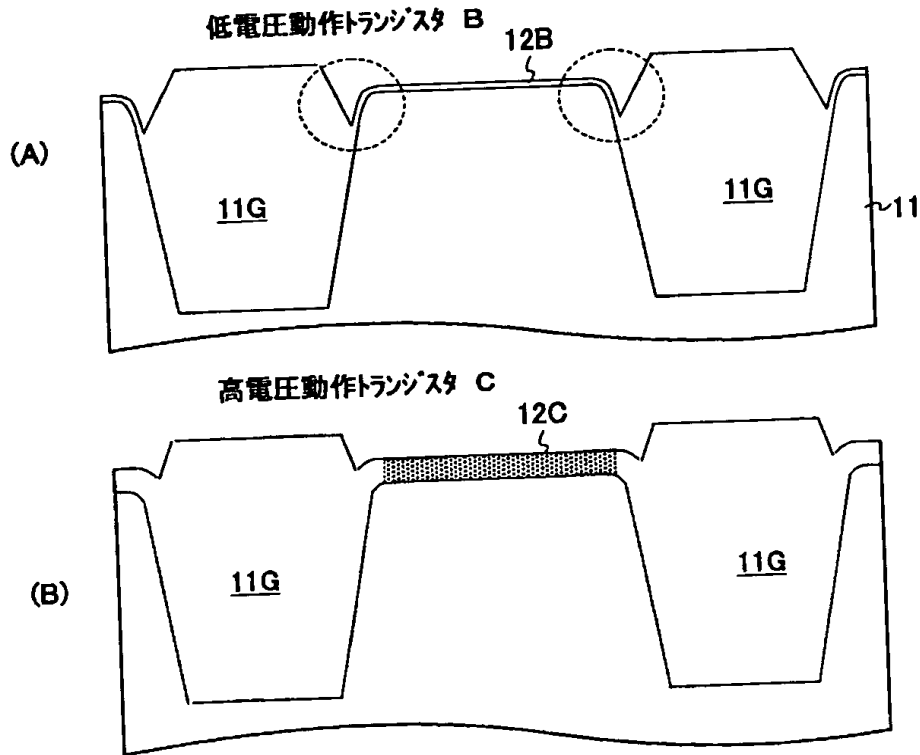
【図14】

(A)～(C)は、従来の半導体集積回路装置の製造工程の問題点を説明する別の図



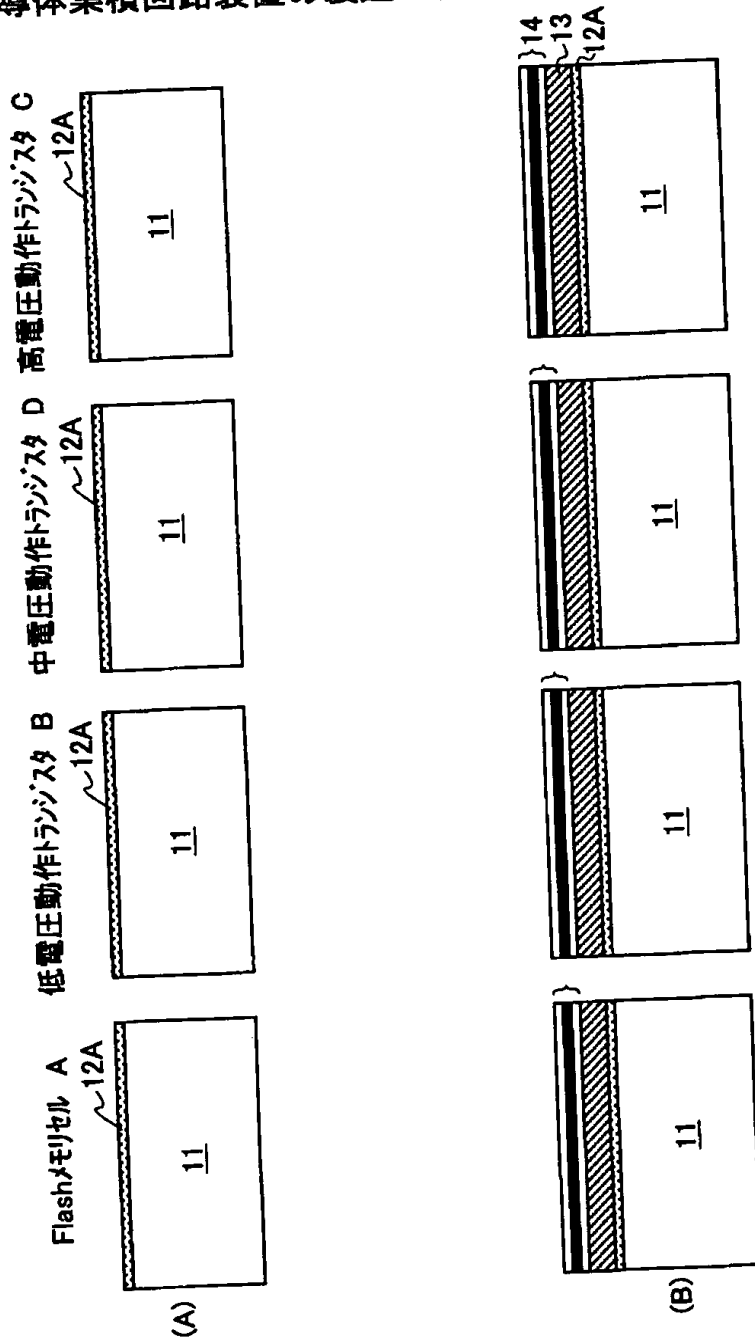
【図 15】

(A)～(B)は、従来の半導体集積回路装置の  
製造工程の問題点を説明する別の図



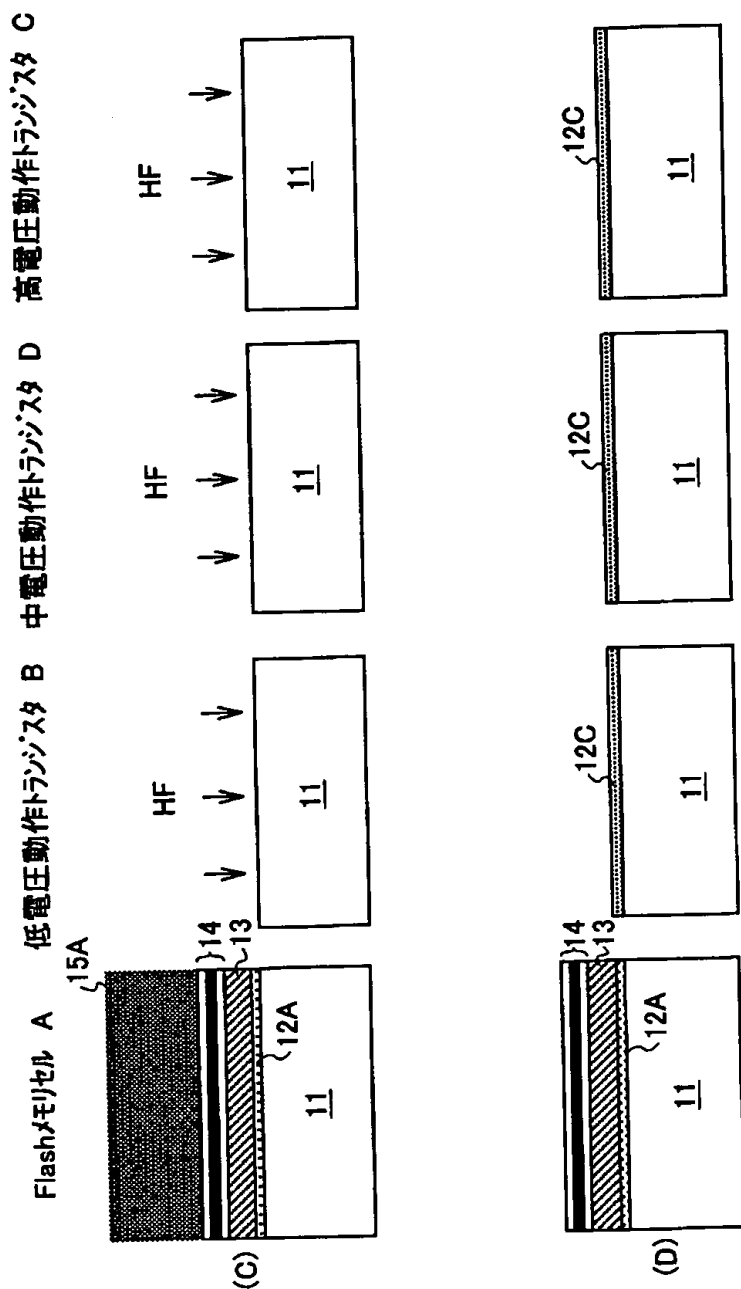
【図16】

(A)、(B)は、別の従来のフラッシュメモリを含む  
半導体集積回路装置の製造工程を示す図(その1)



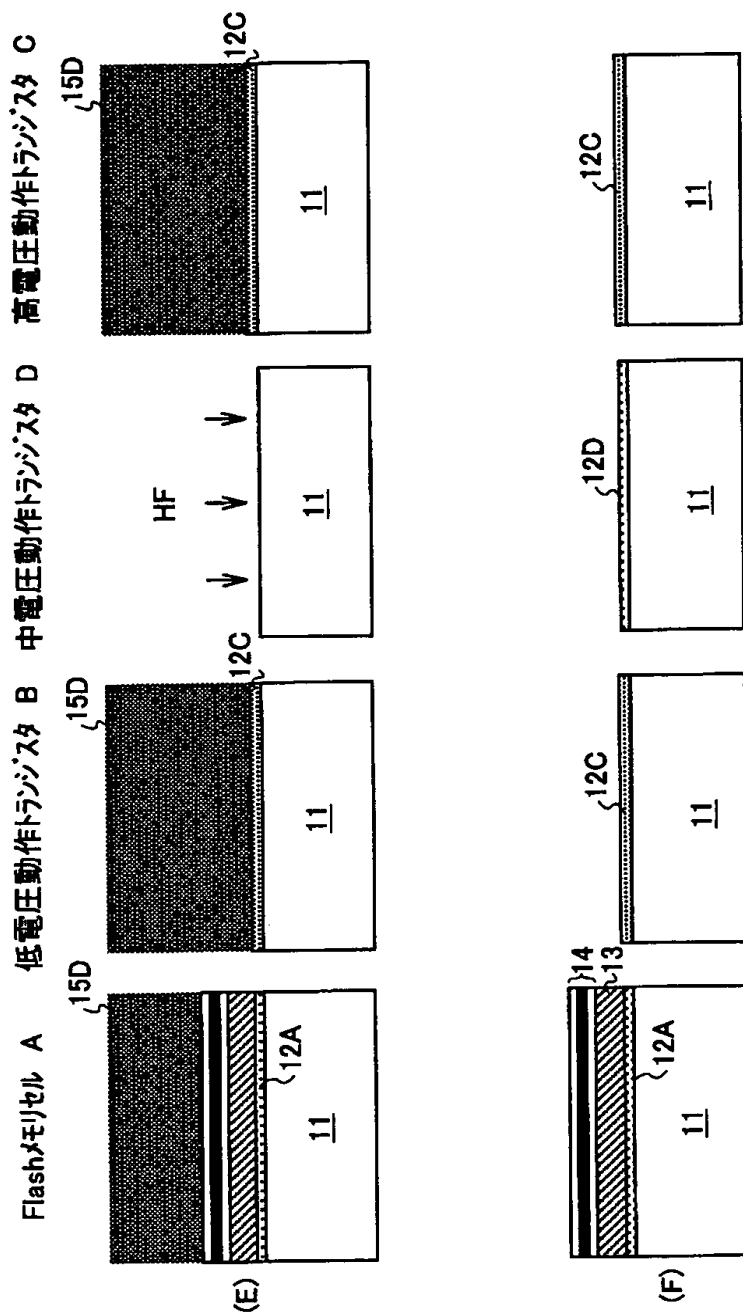
【図 17】

(C)、(D)は、別の従来のフラッシュメモリを含む  
半導体集積回路装置の製造工程を示す図(その2)



【図 18】

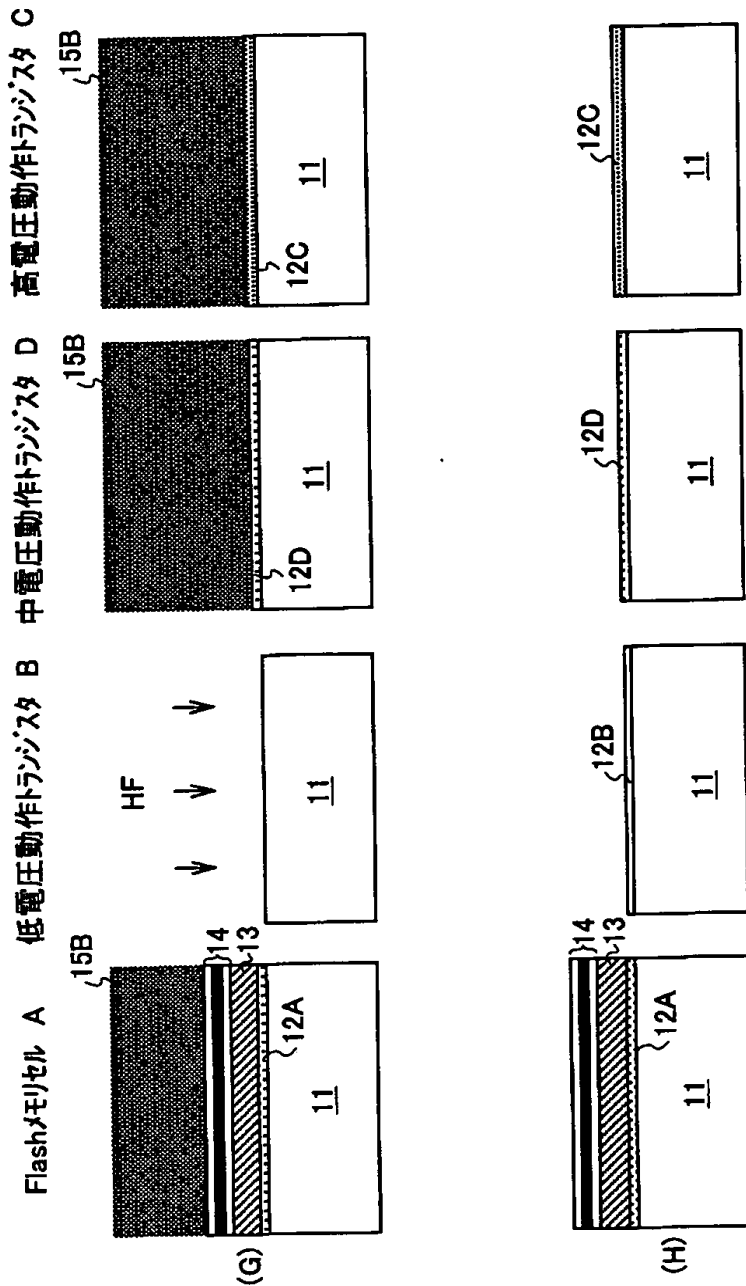
(E)、(F)は、別の従来のフラッシュメモリを含む  
半導体集積回路装置の製造工程を示す図(その3)





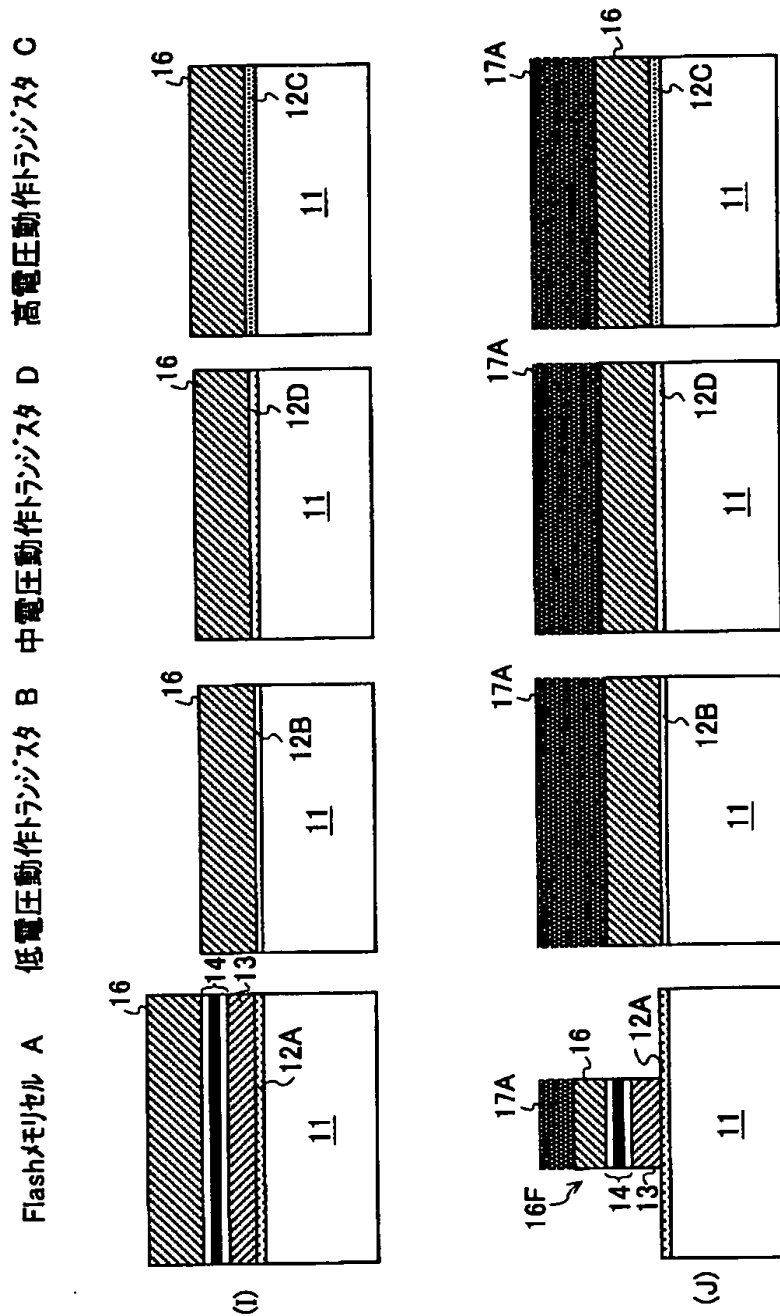
【図 19】

(G)、(H)は、別の従来のフラッシュメモリを含む  
半導体集積回路装置の製造工程を示す図(その4)



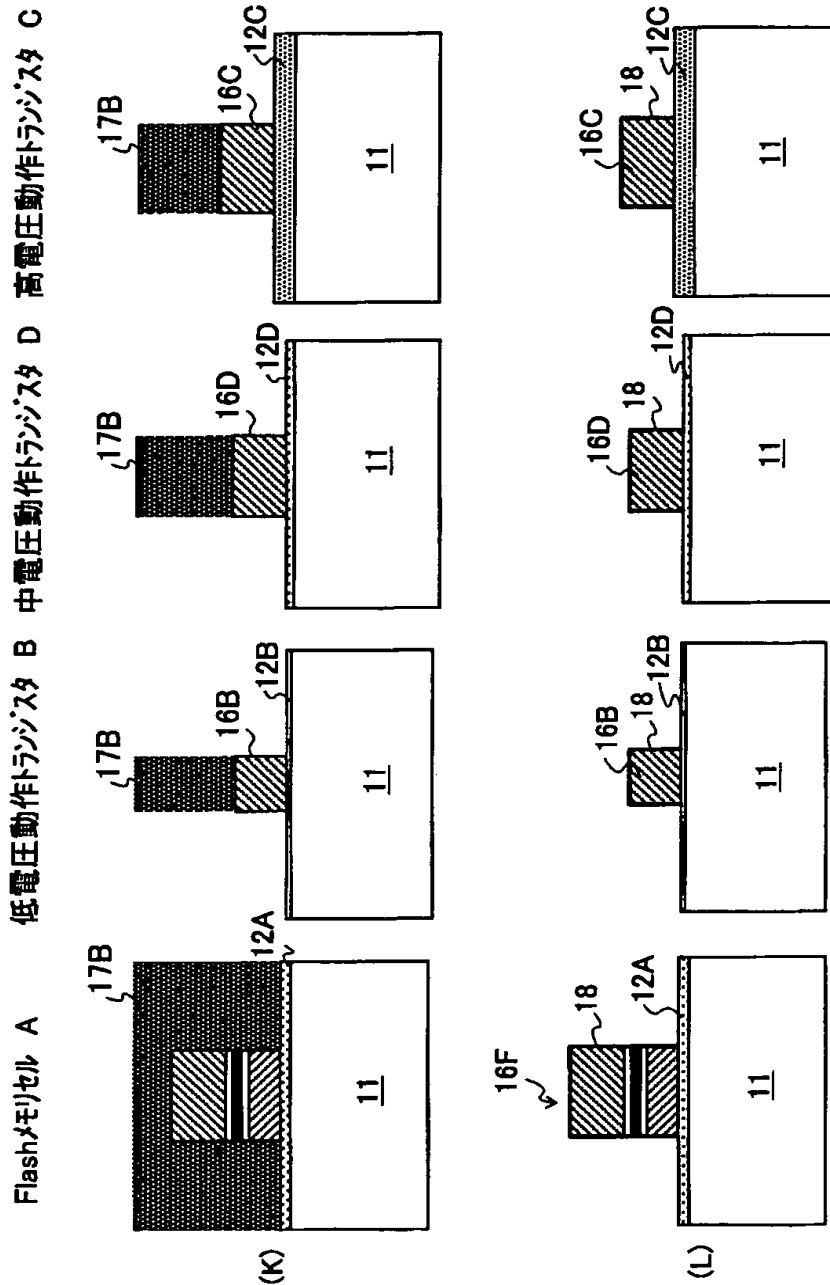
【図20】

(I), (J)は、別の従来のフラッシュメモリを含む  
半導体集積回路装置の製造工程を示す図(その4)



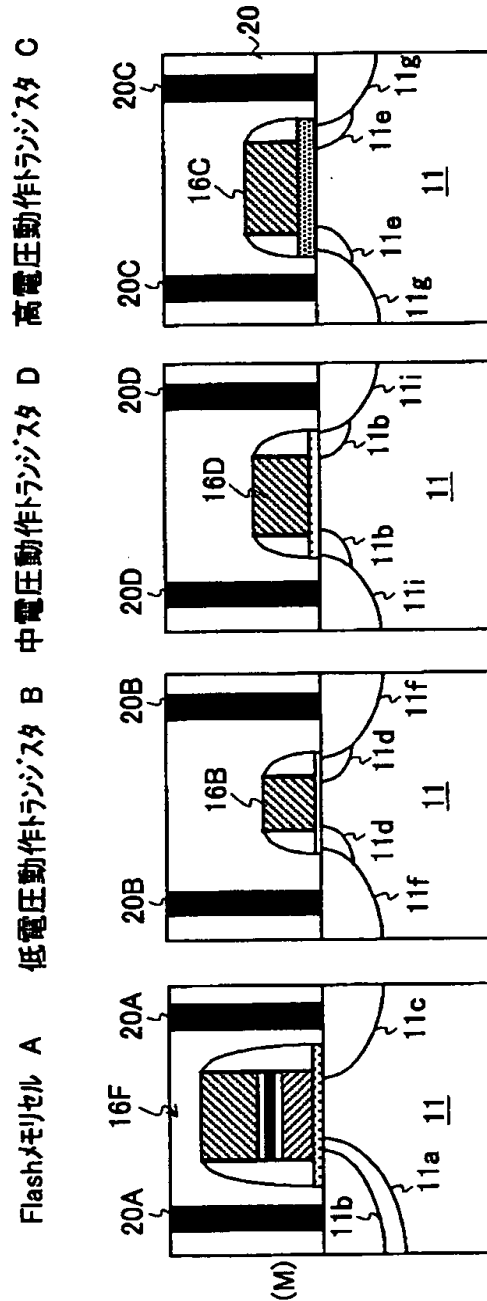
【図 2 1】

(K)、(L)は、別の従来のフラッシュメモリを含む  
半導体集積回路装置の製造工程を示す図(その6)



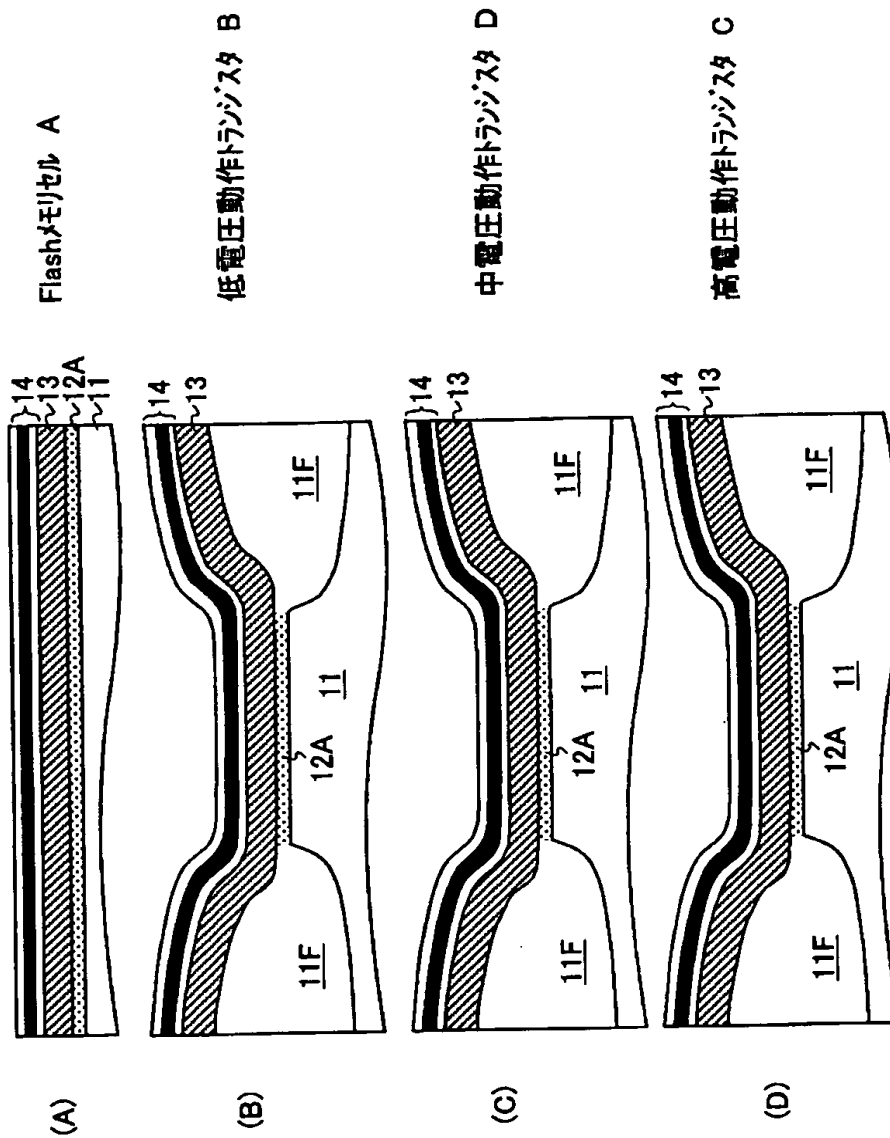
【図 22】

(M)は、別の従来のフラッシュメモリを含む  
半導体集積回路装置の製造工程を示す図(その7)



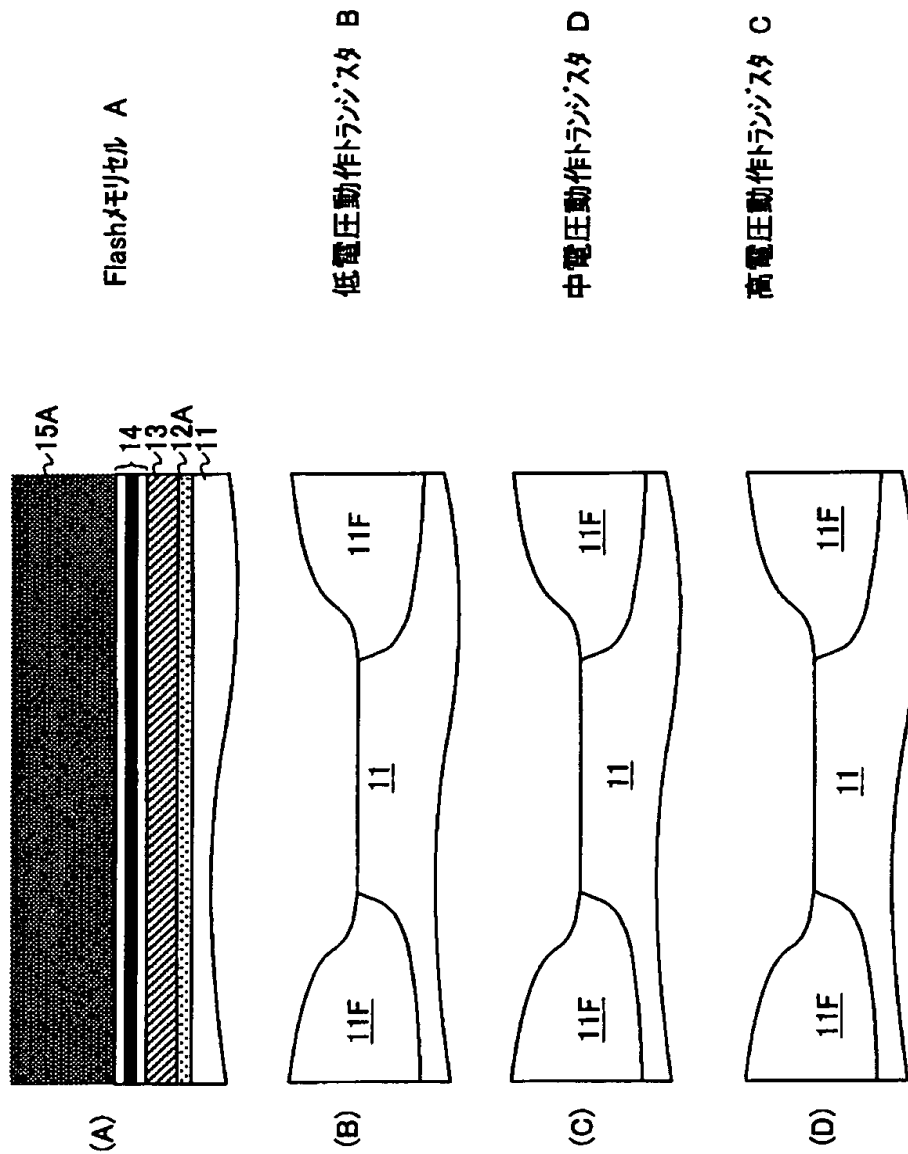
【図 23】

(A)～(D)は、前記別の従来の半導体集積回路装置の製造工程の問題点を説明する図



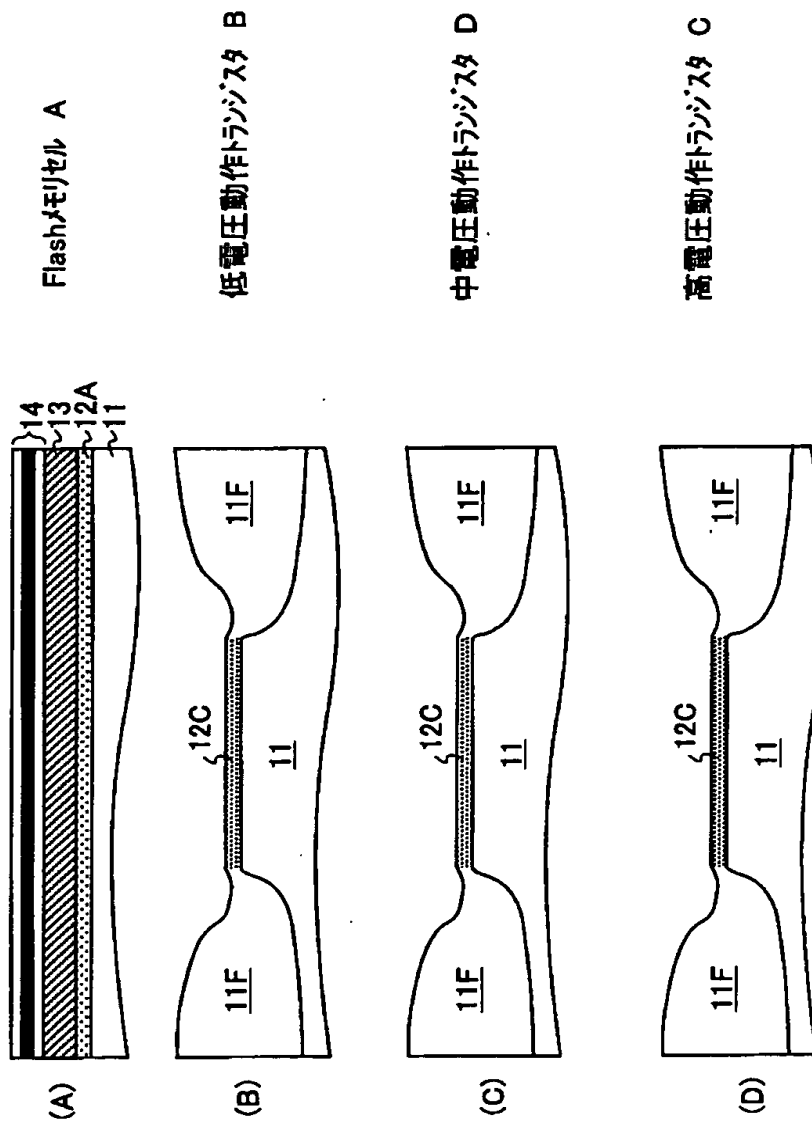
【図 2 4】

(A)～(D)は、前記別の従来の半導体集積回路装置の製造工程の問題点を説明する別の図



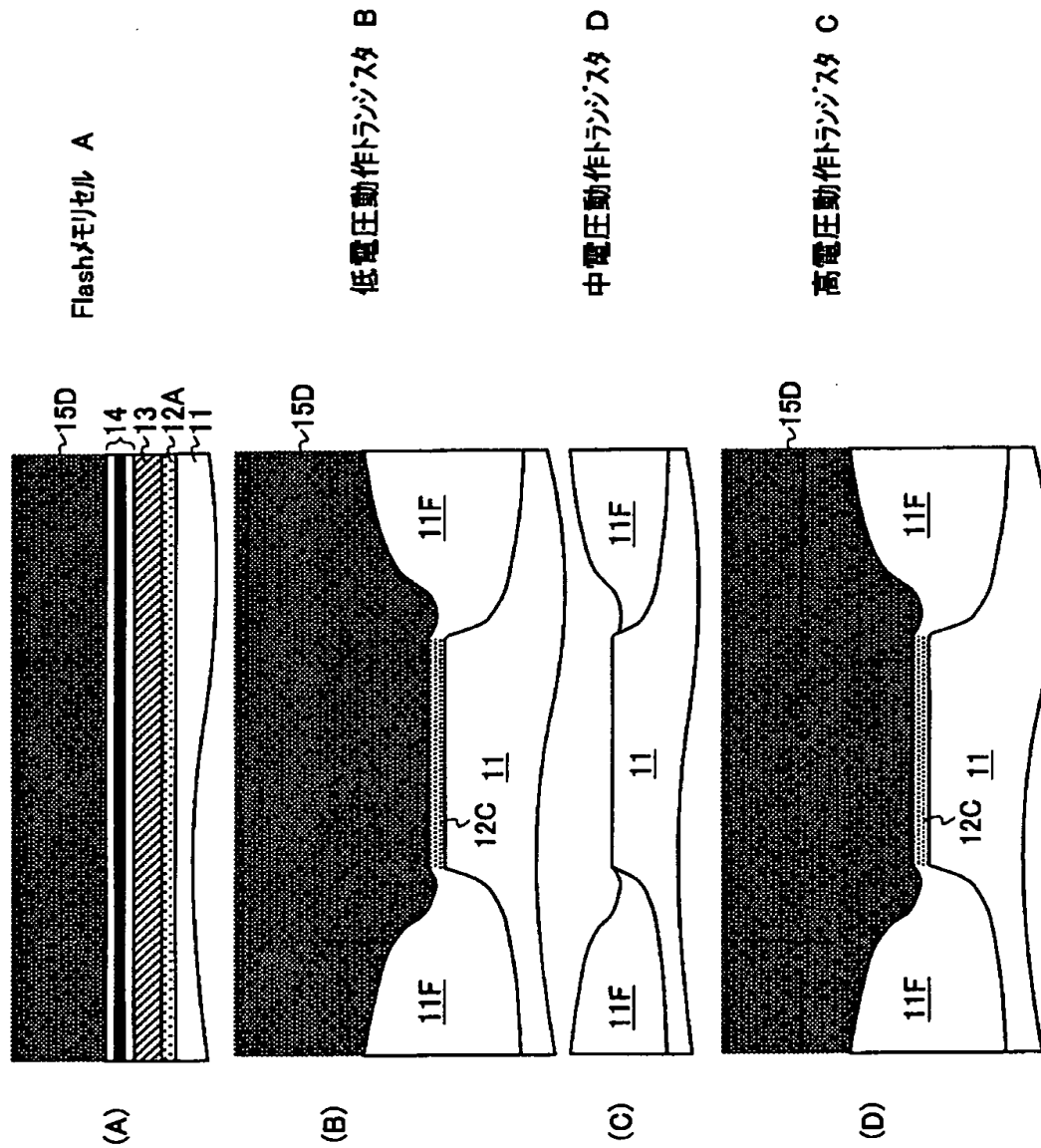
【図 25】

(A)～(D)は、前記別の従来の半導体集積回路装置の製造工程の問題点を説明する別の図



【図 26】

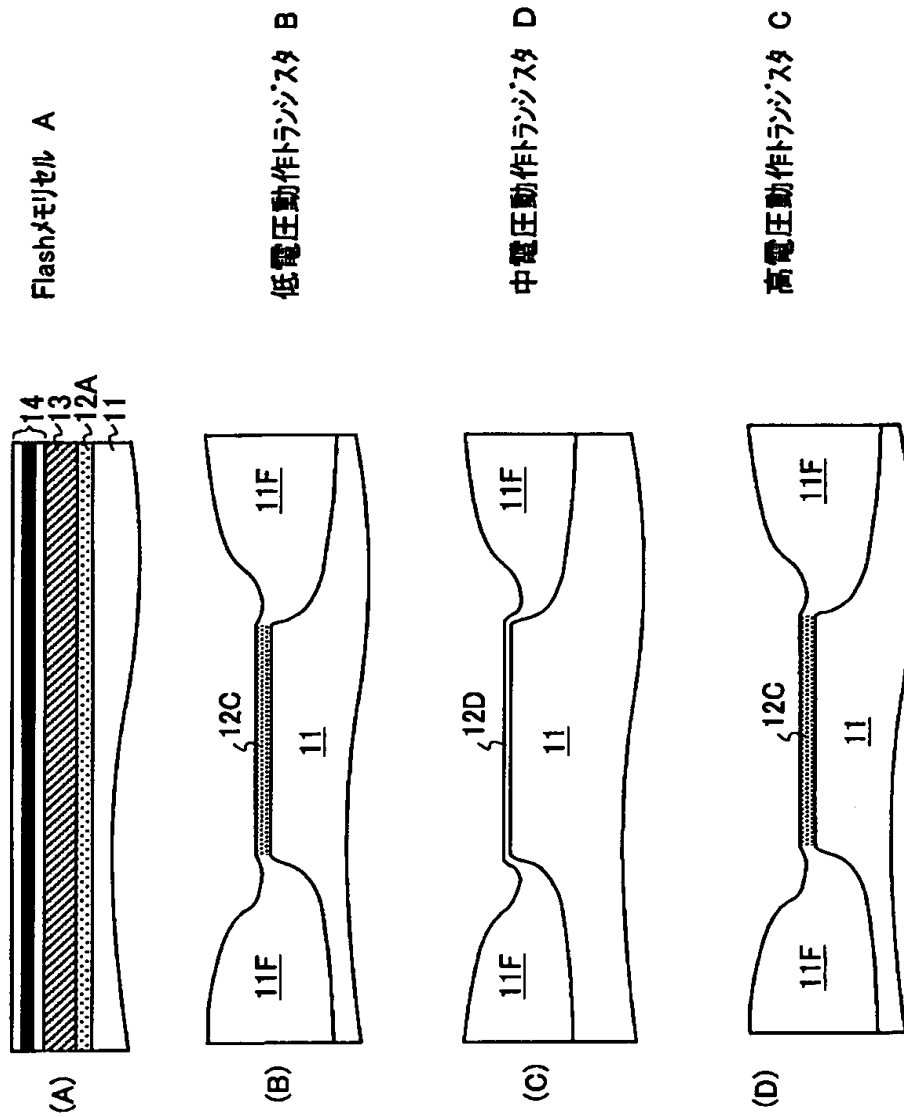
(A)～(D)は、前記別の従来の半導体集積回路装置の製造工程の問題点を説明する別の図





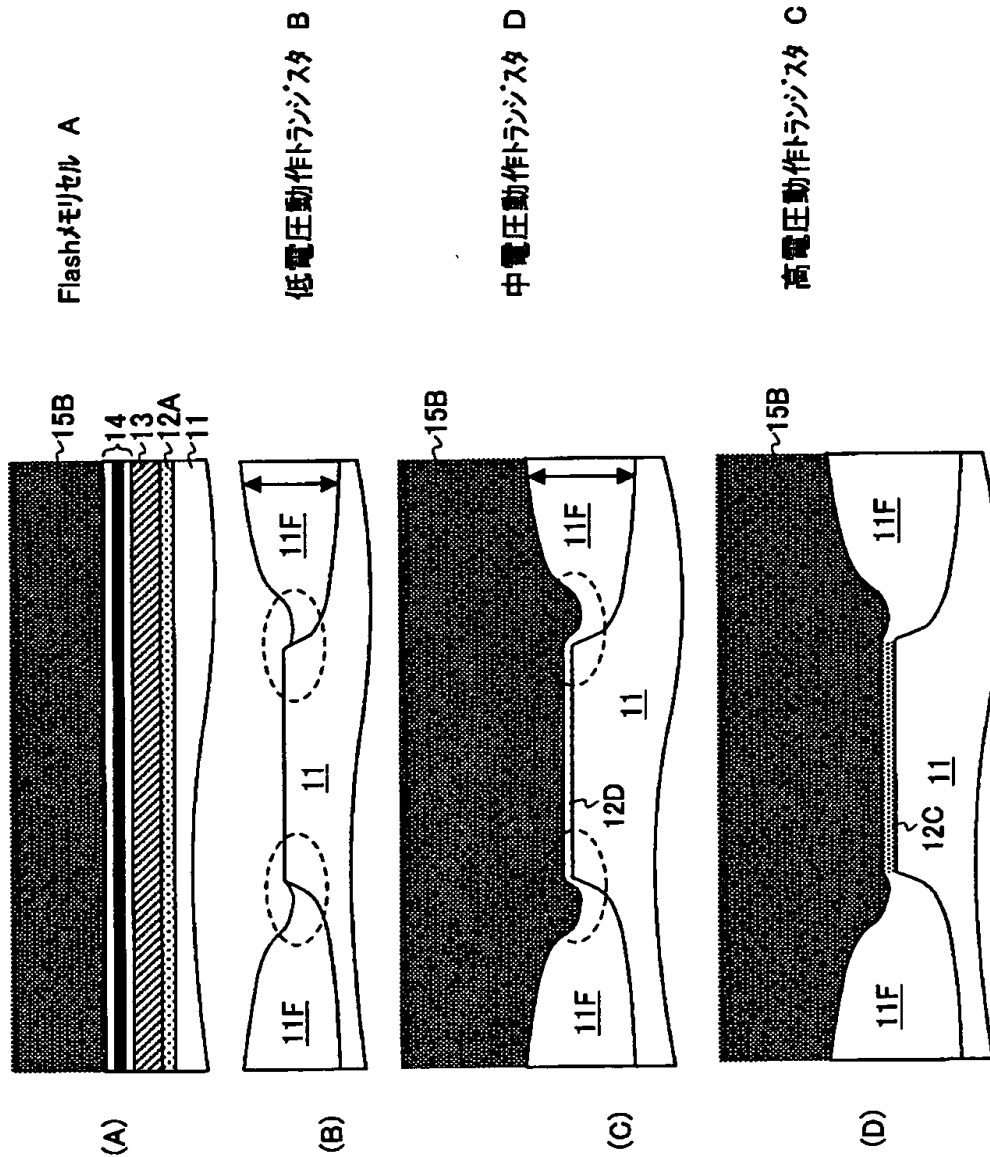
【図 27】

(A)～(D)は、前記別の従来の半導体集積回路装置の  
製造工程の問題点を説明する別の図



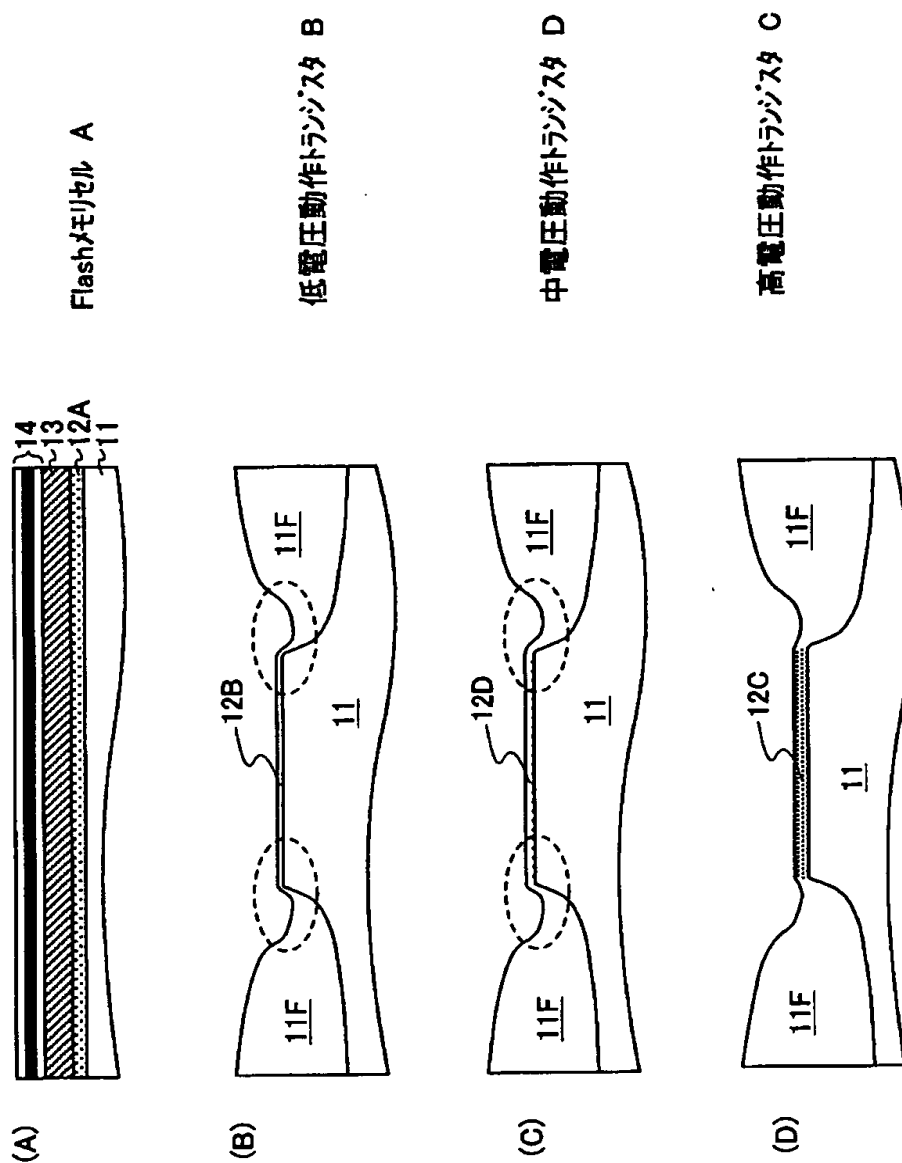
【図 28】

(A)～(D)は、前記別の従来の半導体集積回路装置の製造工程の問題点を説明する別の図



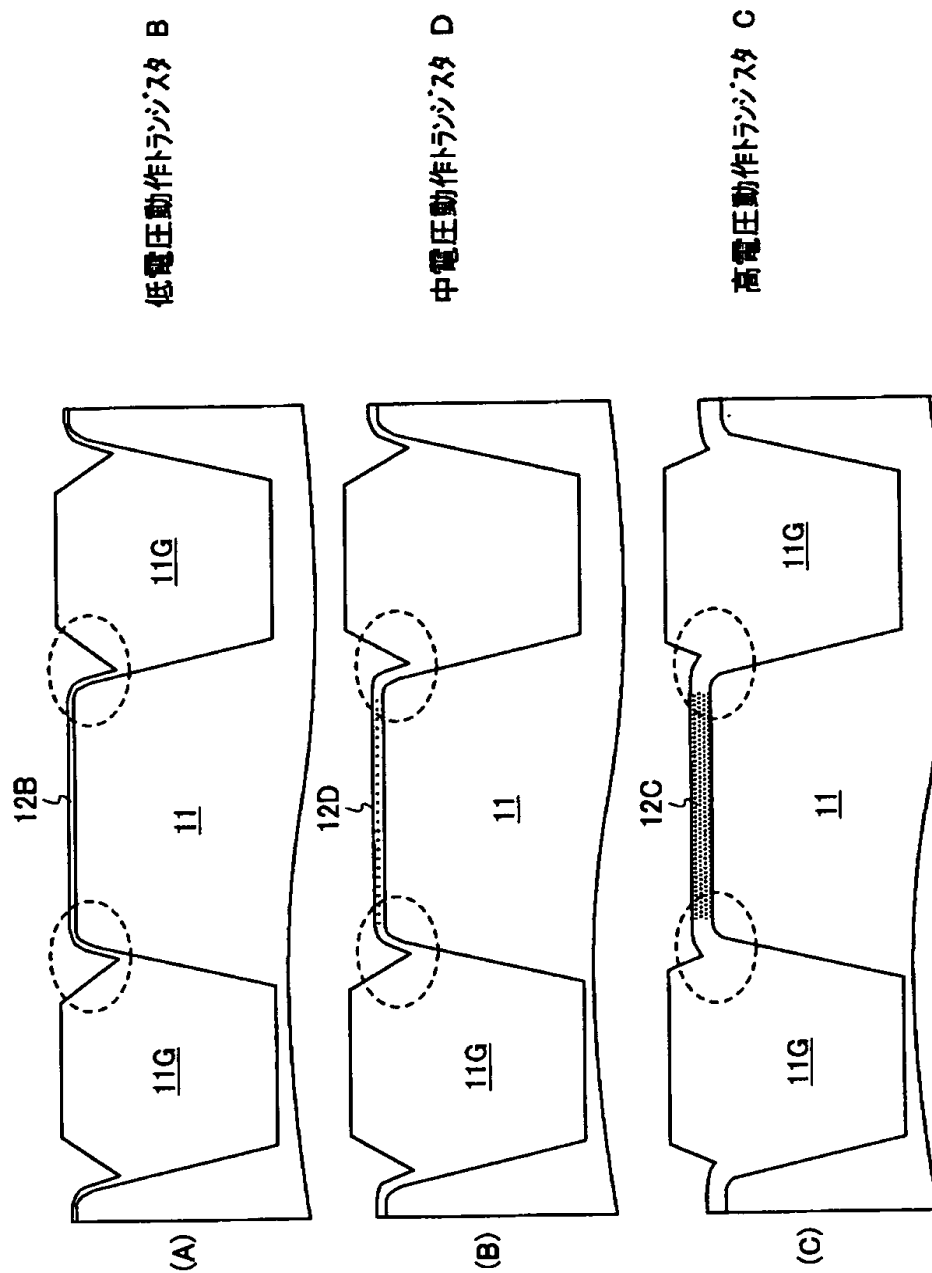
【図 29】

(A)～(D)は、前記別の従来の半導体集積回路装置の  
製造工程の問題点を説明する別の図



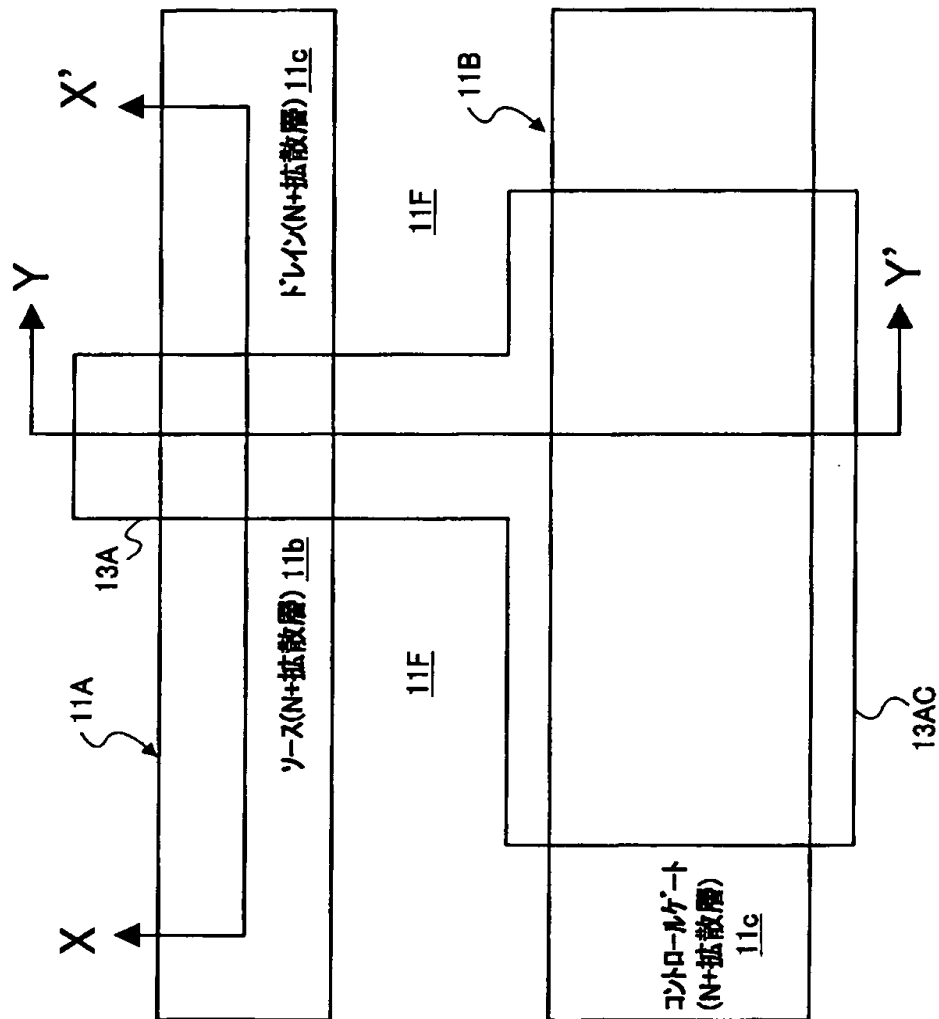
【図 30】

(A)～(C)は、前記別の従来の半導体集積回路装置の製造工程の問題点を説明する別の図



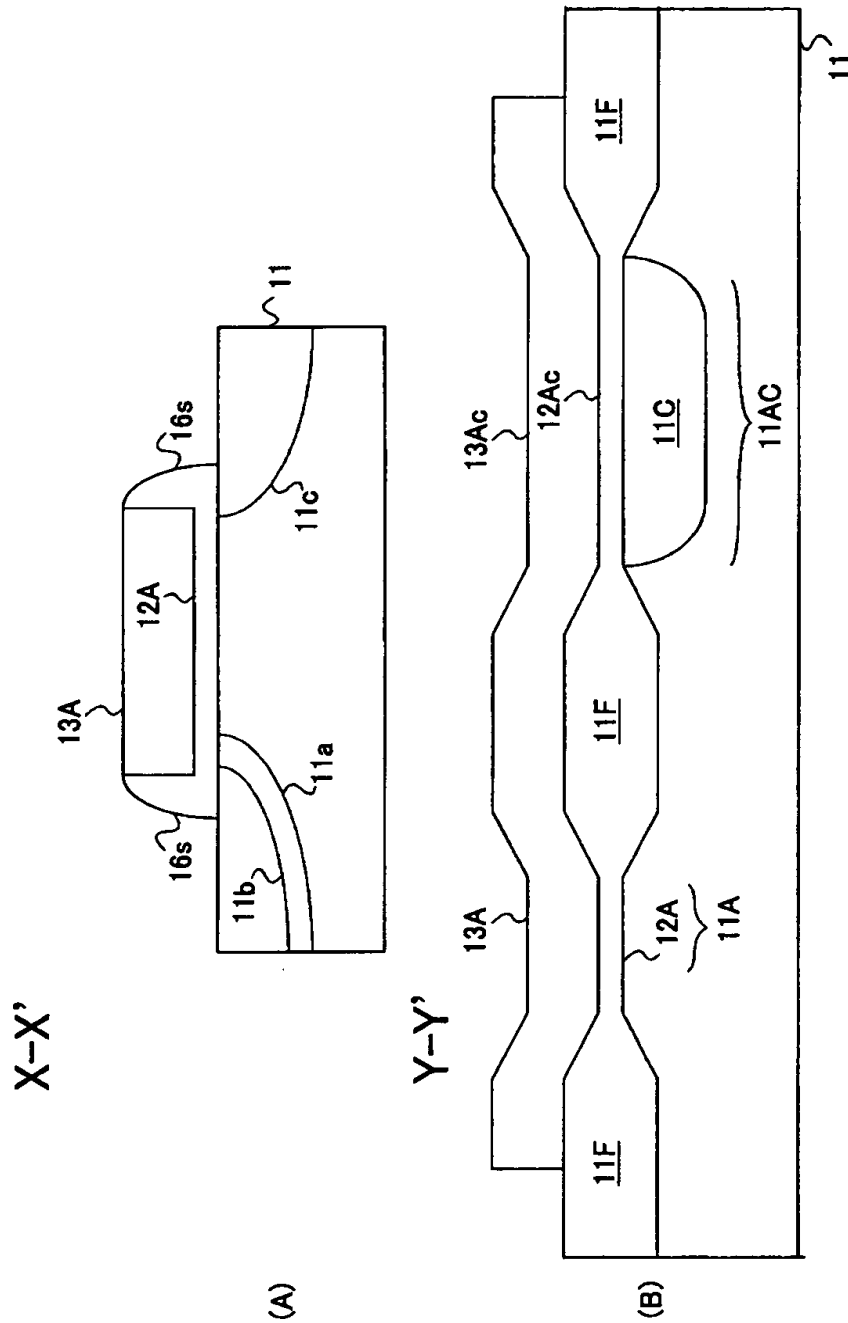
【図 31】

従来のフラッシュメモリの構成を示す平面図



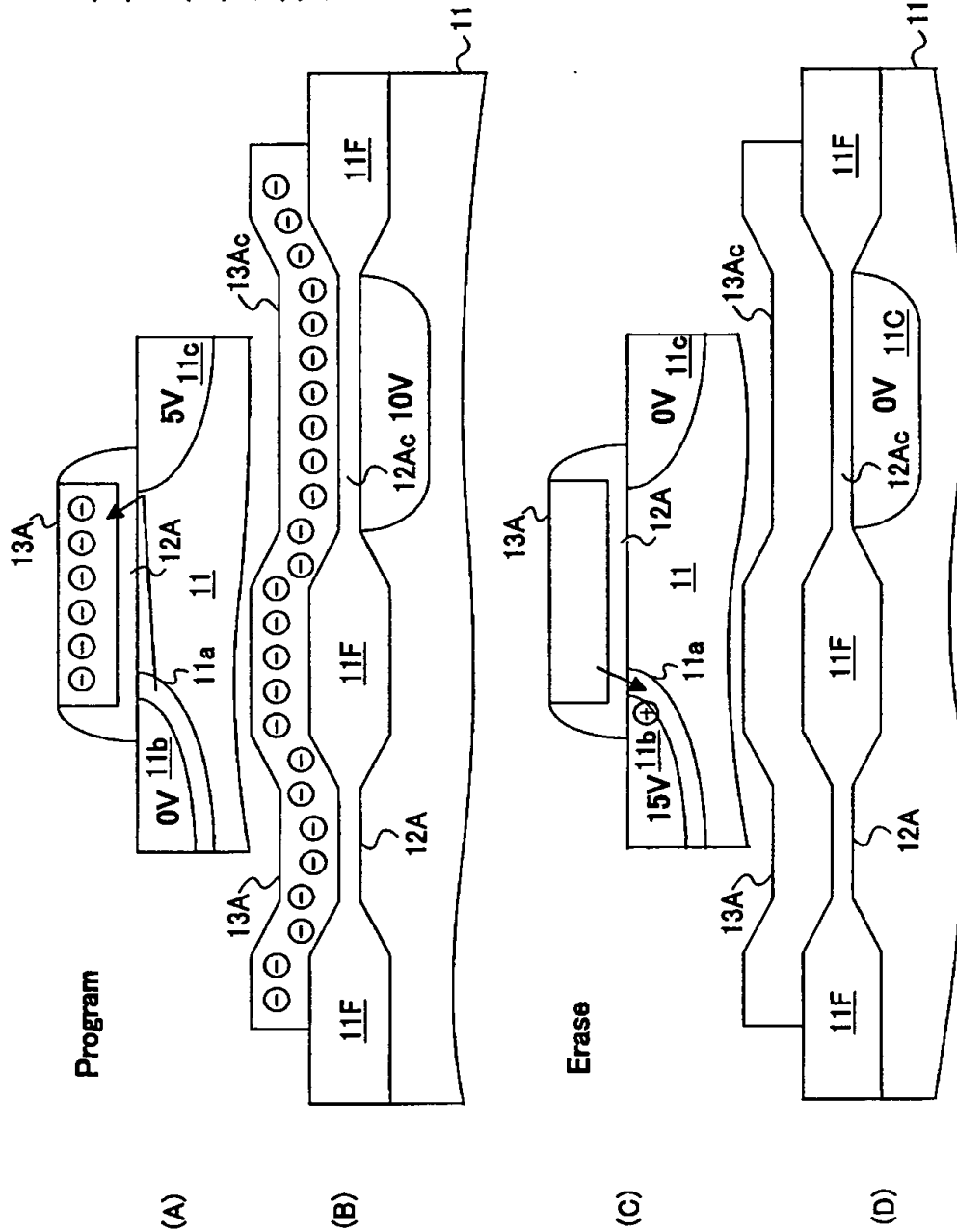
【図 32】

(A)、(B)は、図31のフラッシュメモリの構成を示す断面図



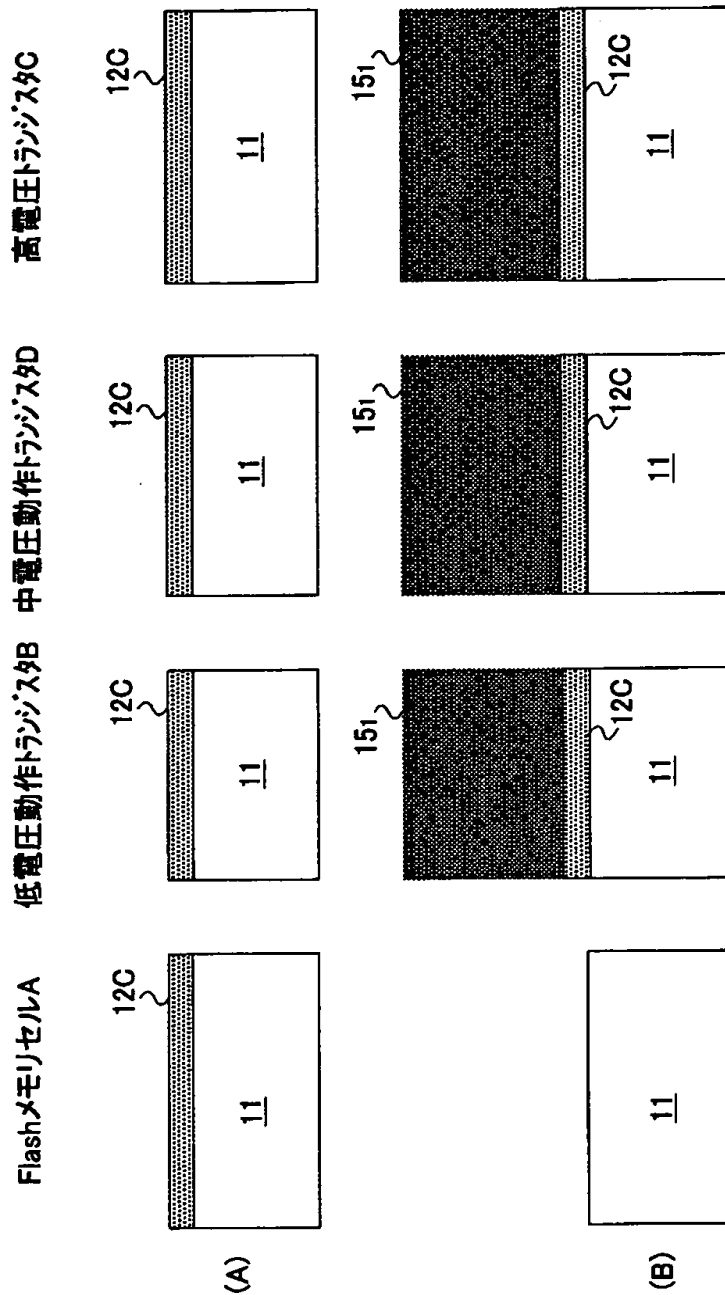
【図 33】

(A)～(D)は、図31のフラッシュメモリの動作を説明する図



【図 34】

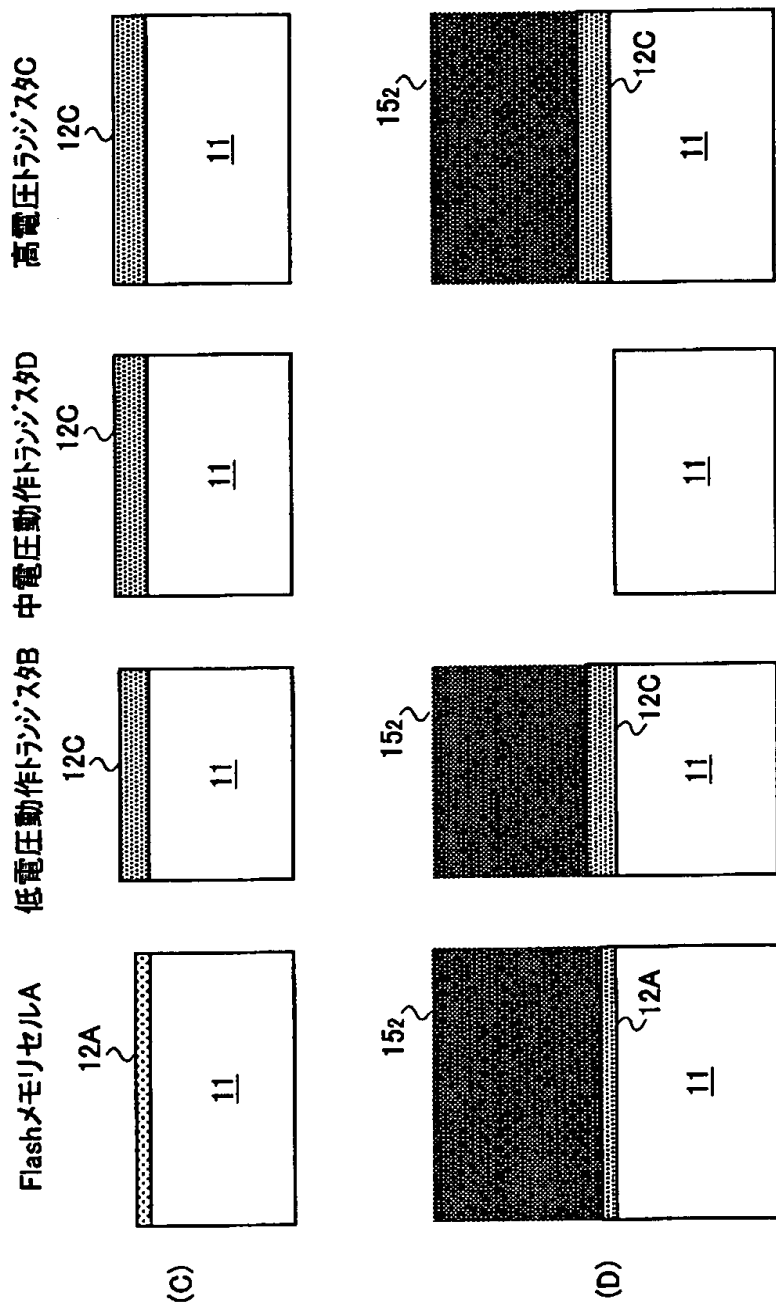
(A)、(B)は、図31のフラッシュメモリを含む  
半導体集積回路装置の製造工程を示す図(その1)





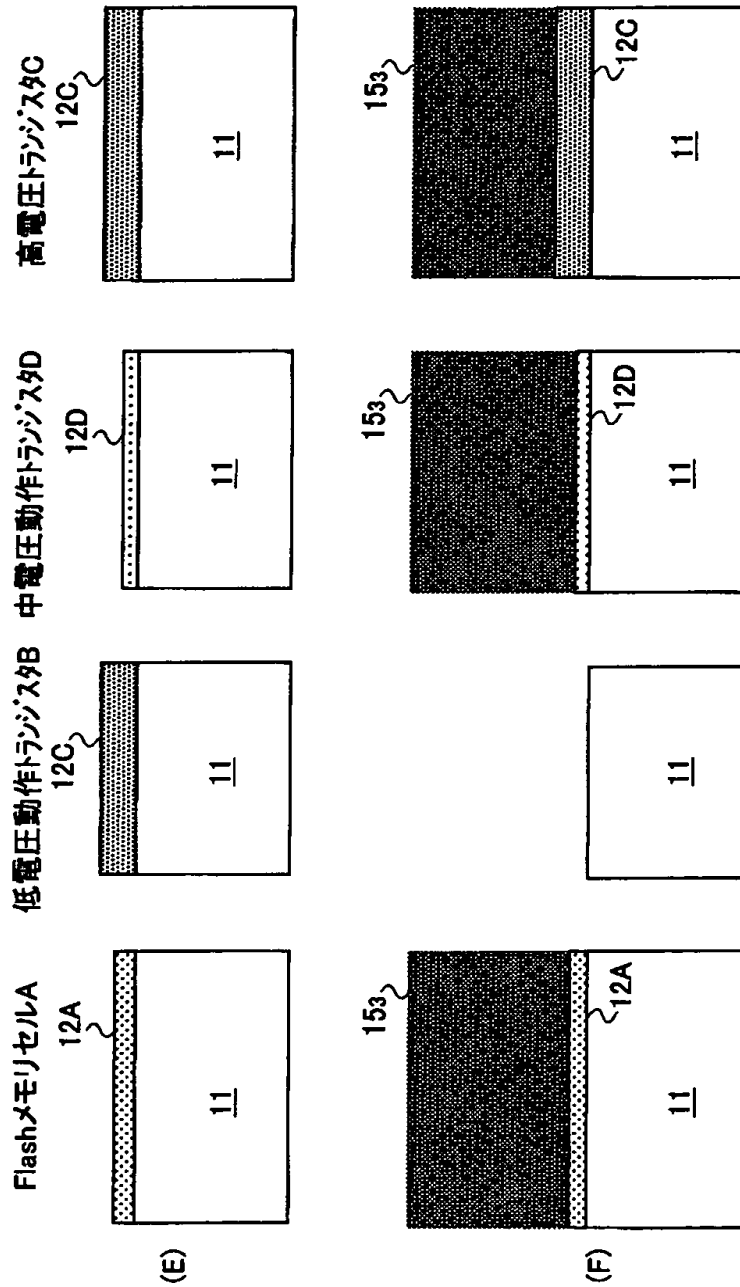
【図 35】

(C)、(D)は、図31のフラッシュメモリを含む  
半導体集積回路装置の製造工程を示す図(その2)



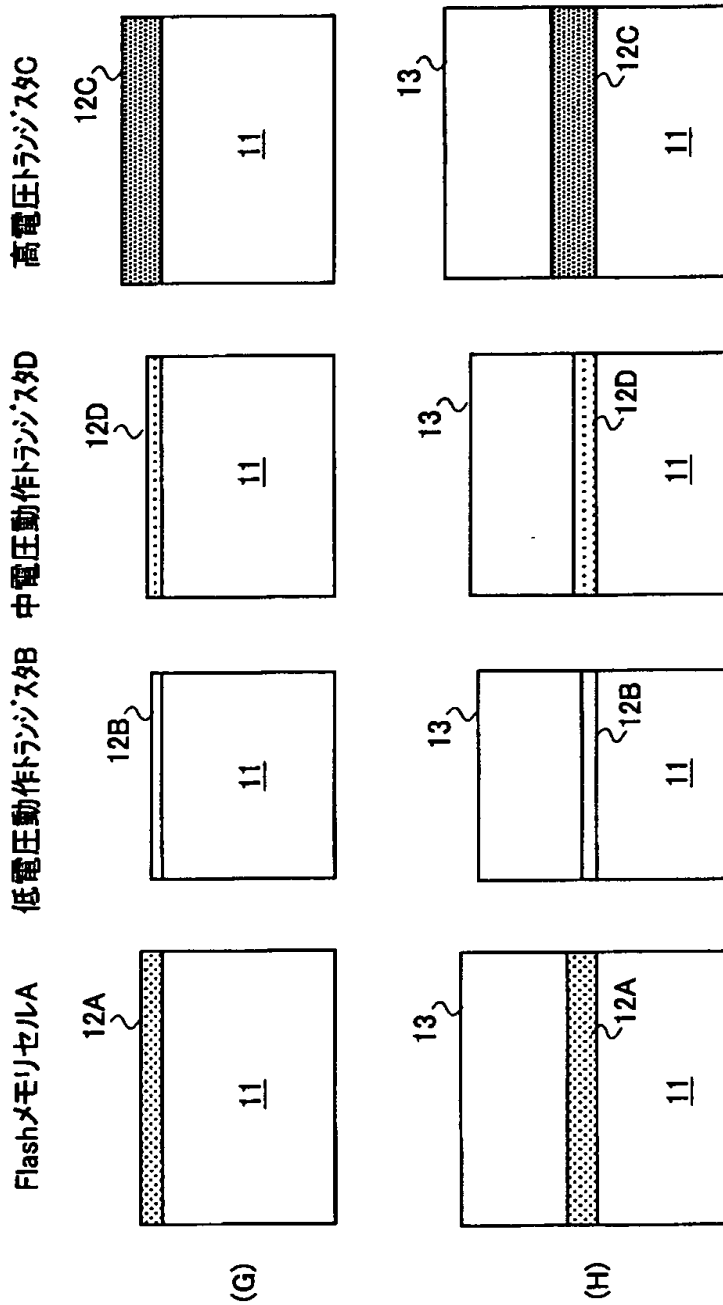
【図 3 6】

(E)、(F)は、図31の従来のフラッシュメモリを含む  
半導体集積回路装置の製造工程を示す図(その3)



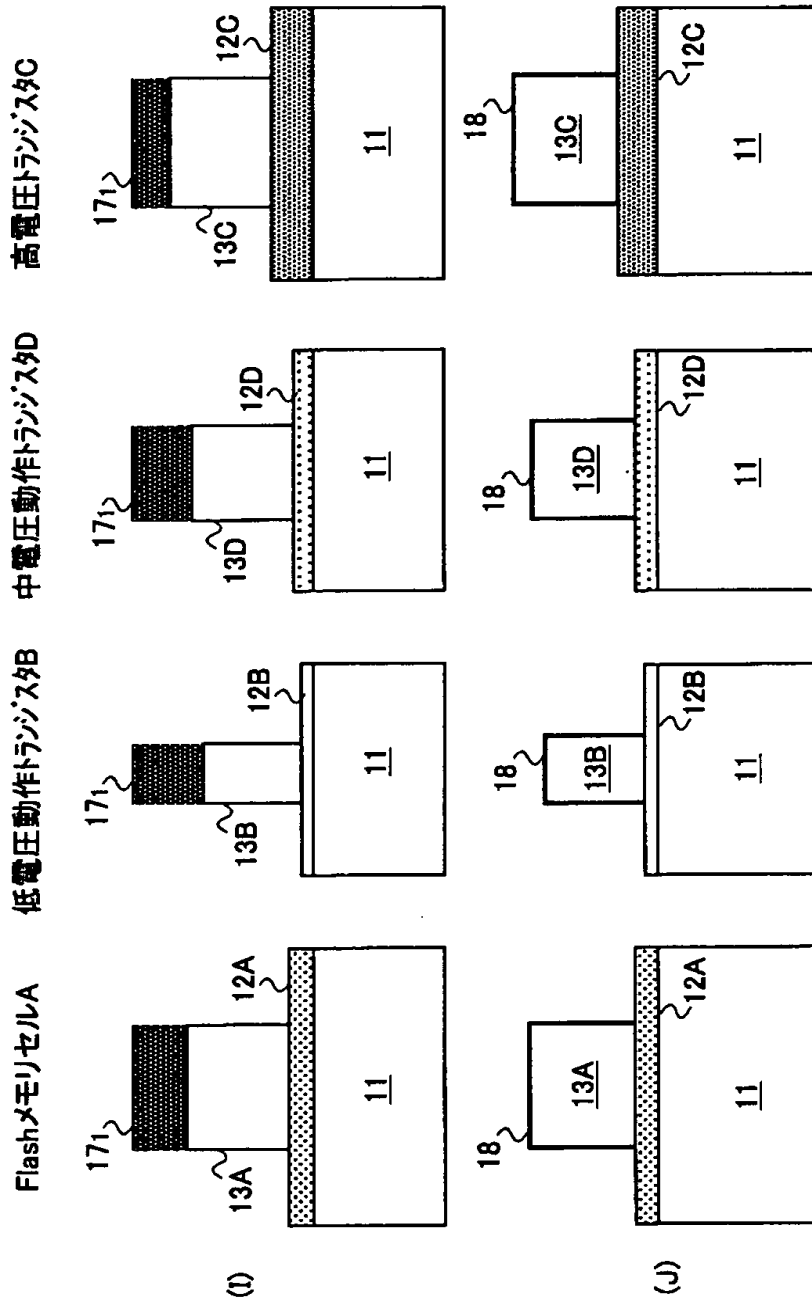
【図 3 7】

(G)、(H)は、図31の従来のフラッシュメモリを含む  
半導体集積回路装置の製造工程を示す図(その4)



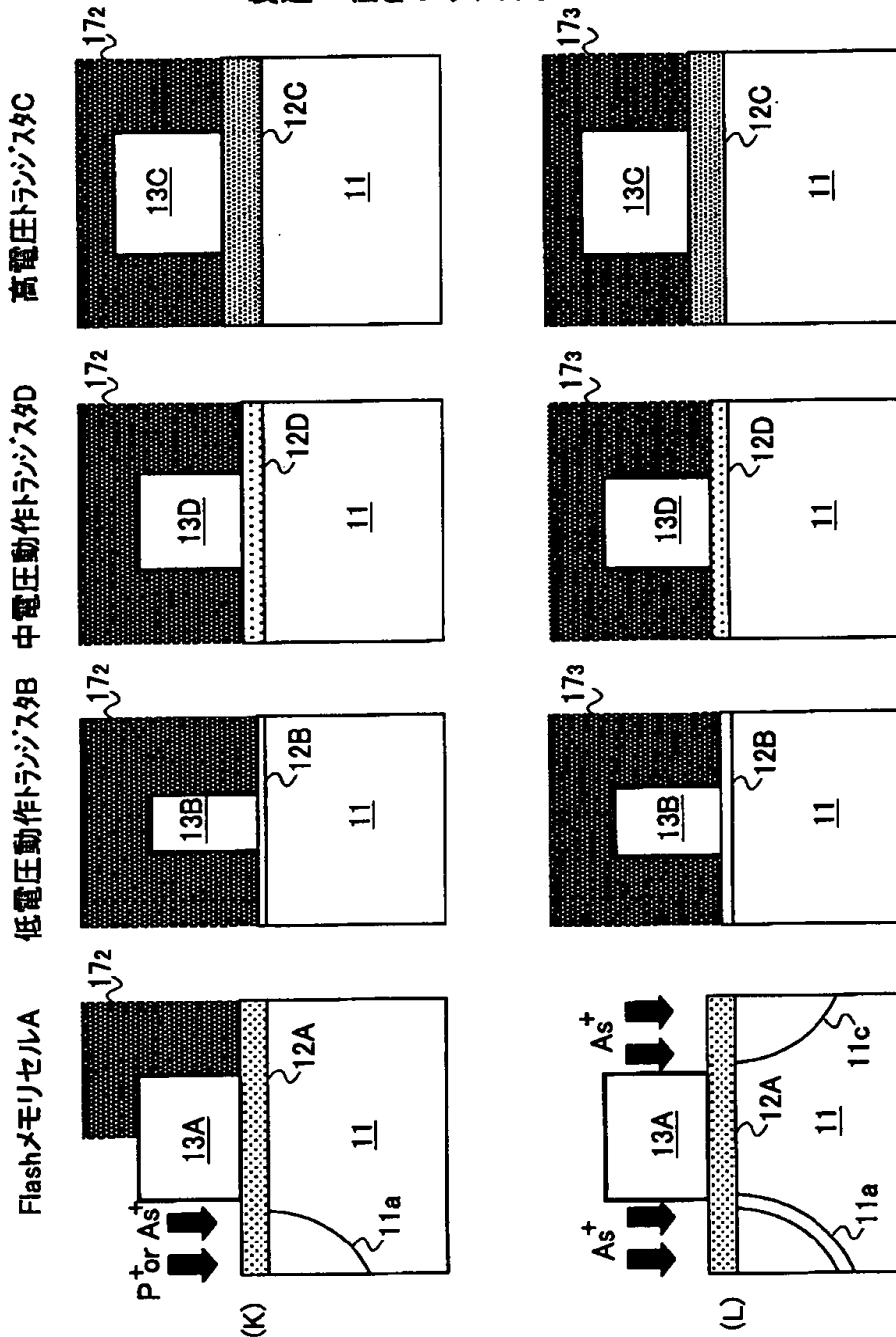
【図 3 8】

(I)、(J)は、図31の従来のフラッシュメモリを含む  
半導体集積回路装置の製造工程を示す図(その5)



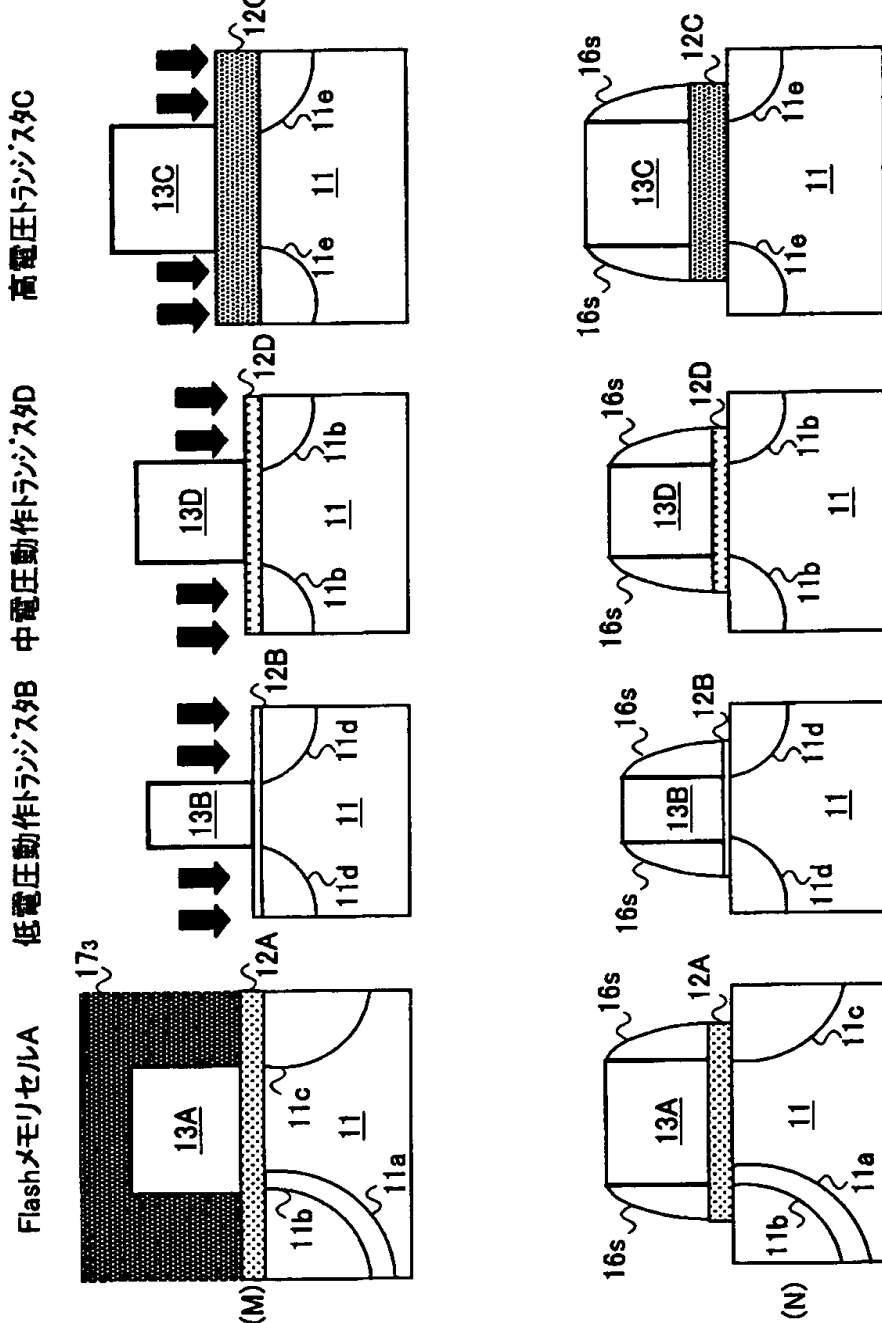
【図 39】

(K)、(L)は、図31の従来のフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その6)



【図 40】

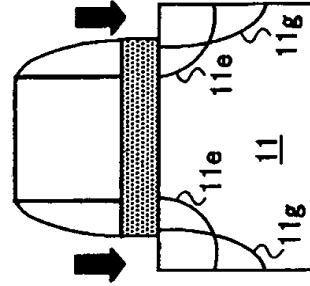
(M)、(N)は、別の従来のフラッシュメモリを含む  
半導体集積回路装置の製造工程を示す図(その7)



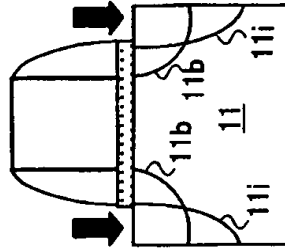
【図 4 1】

(○)は、別の従来のフラッシュメモリを含む  
半導体集積回路装置の製造工程を示す図(その8)

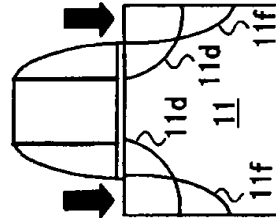
高電圧トランジスタC



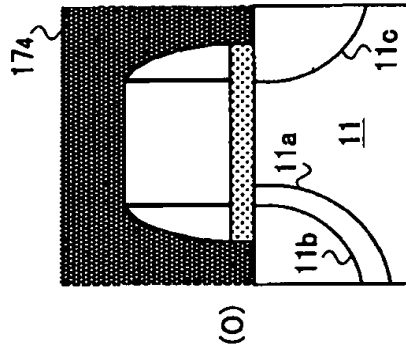
中電圧動作トランジスタD



低電圧動作トランジスタB

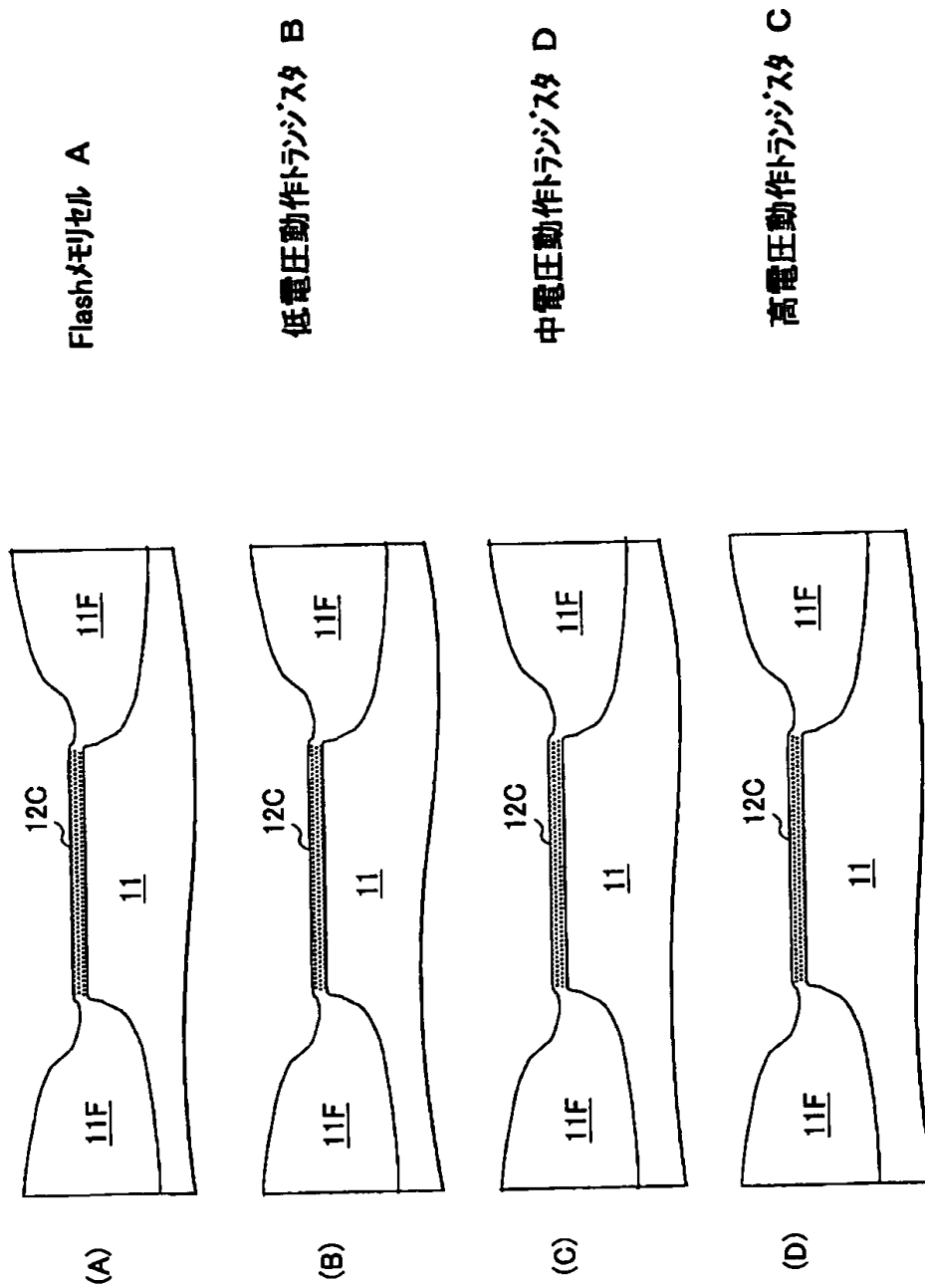


FlashメモリセルA



【図 4 2】

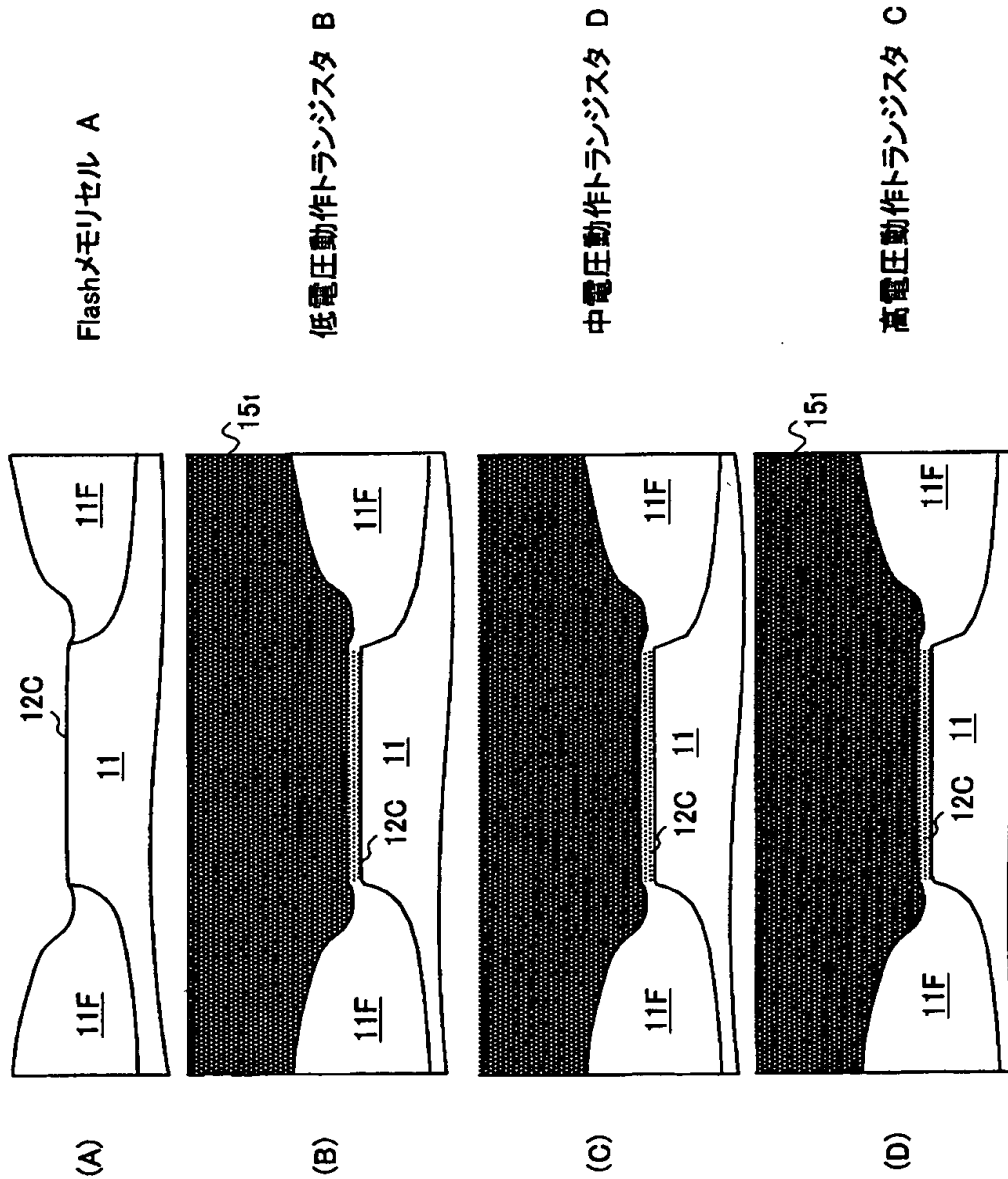
(A)～(D)は、前記従来の半導体集積回路装置の  
製造工程の問題点を説明する図





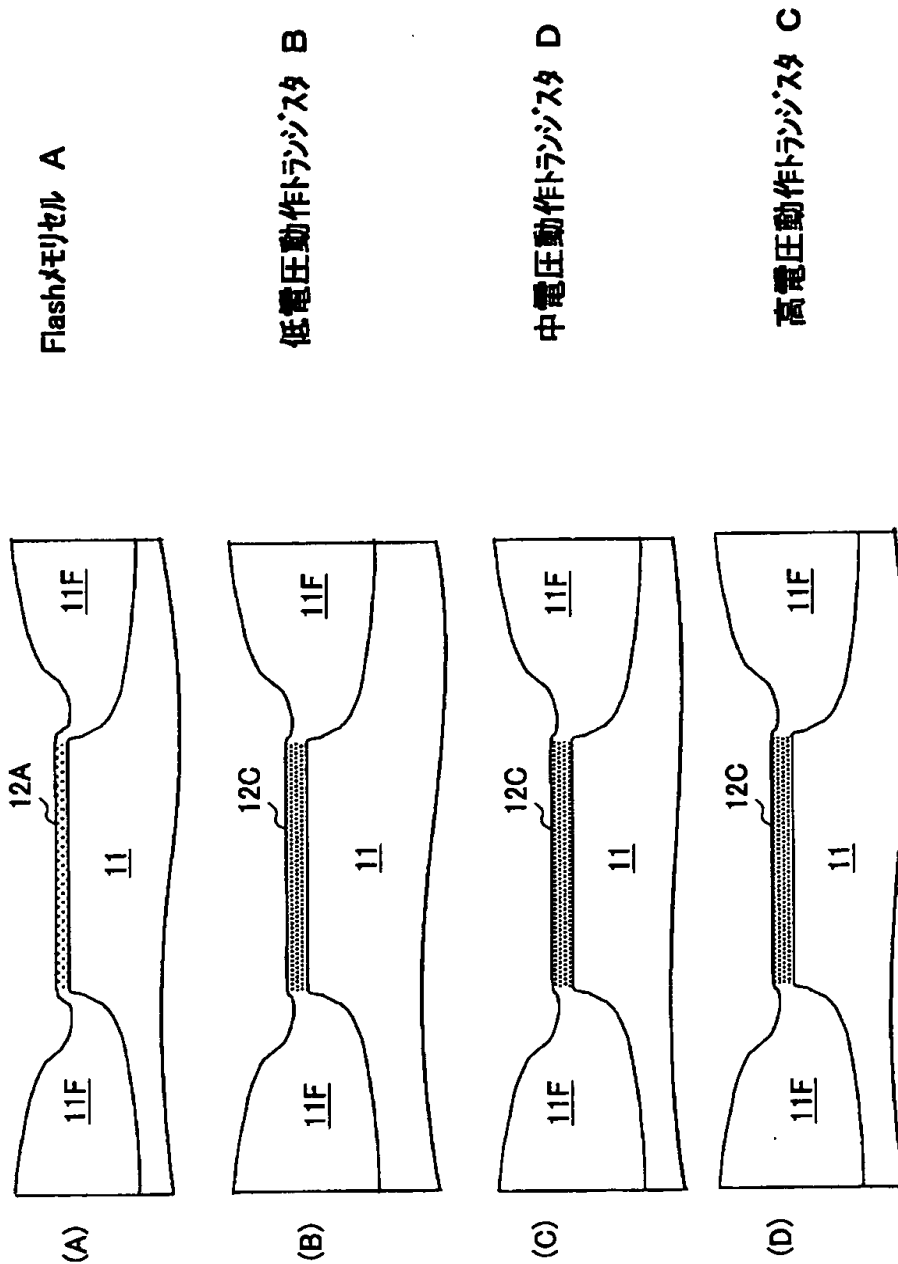
【図 4 3】

(A)～(D)は、前記従来の半導体集積回路装置の  
製造工程の問題点を説明する別の図



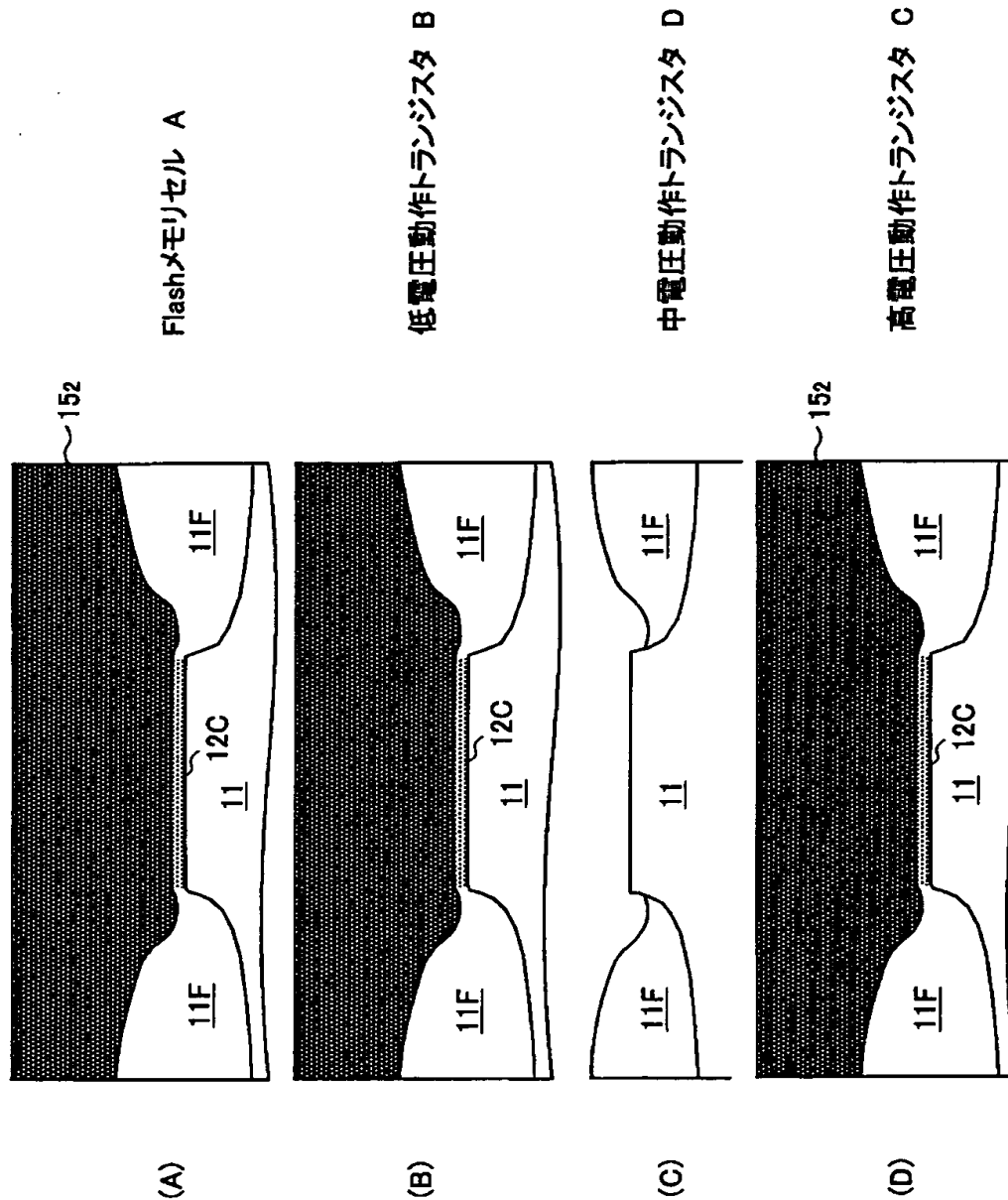
【図 4 4】

(A)～(D)は、前記従来の半導体集積回路装置の  
製造工程の問題点を説明する別の図



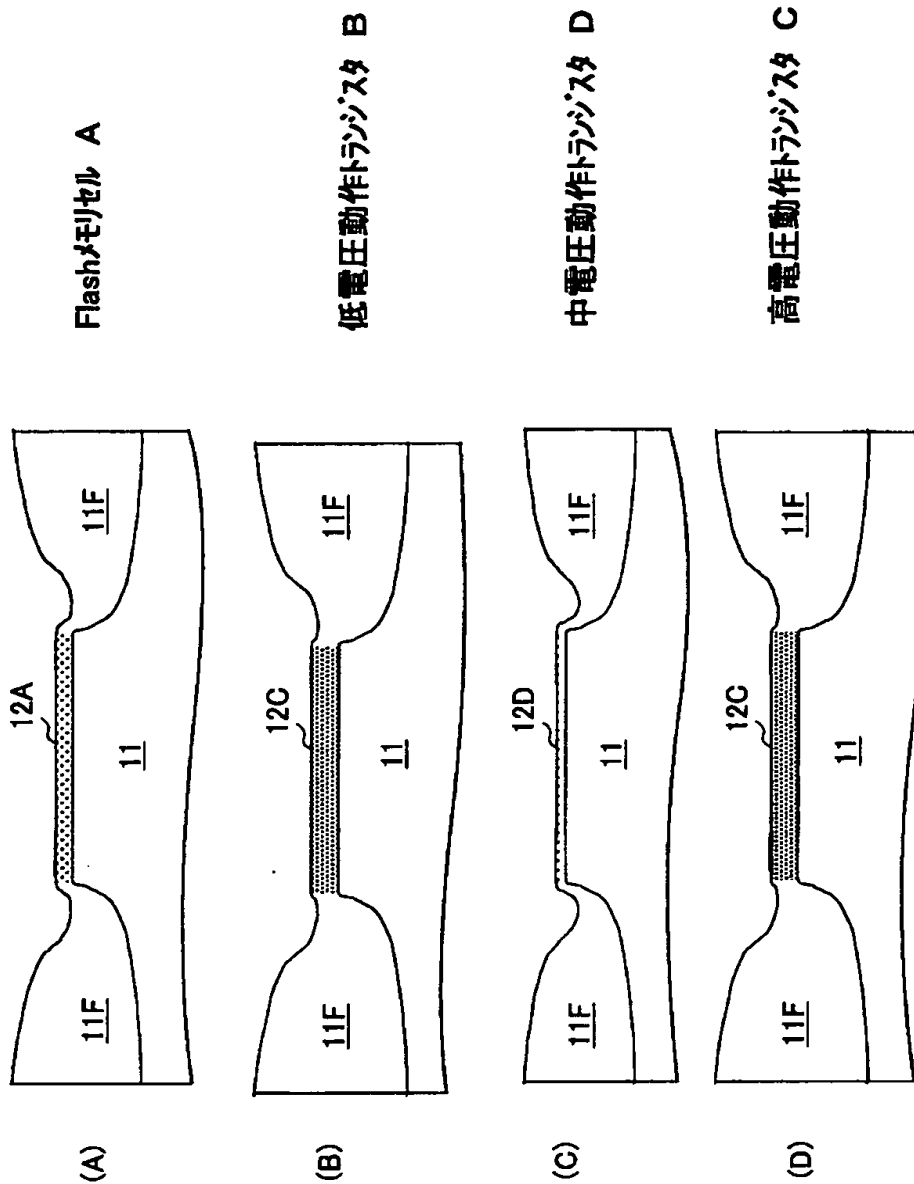
【図 4 5】

(A)～(D)は、前記従来の半導体集積回路装置の製造工程の問題点を説明する別の図



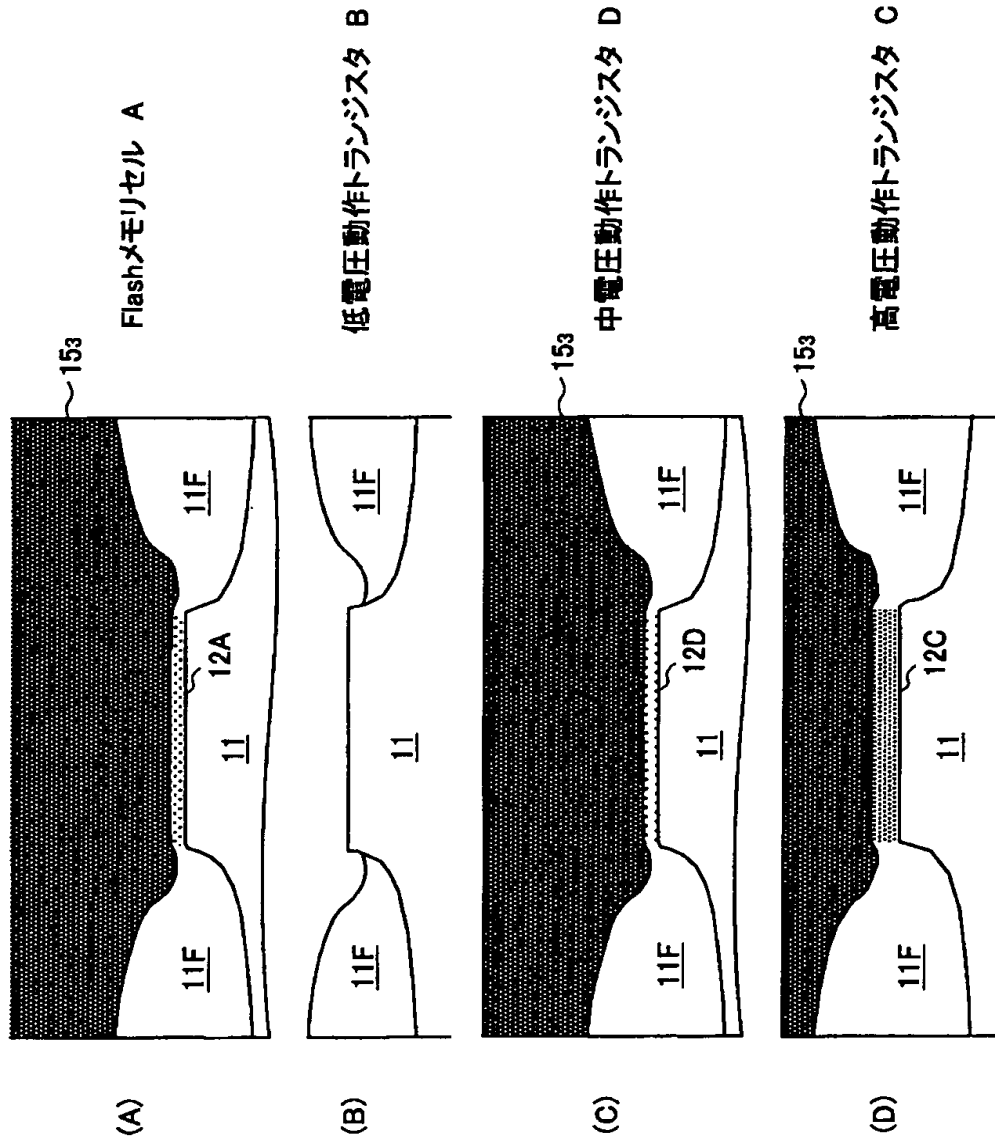
【図 4 6】

(A)～(D)は、前記従来の半導体集積回路装置の  
製造工程の問題点を説明する別の図



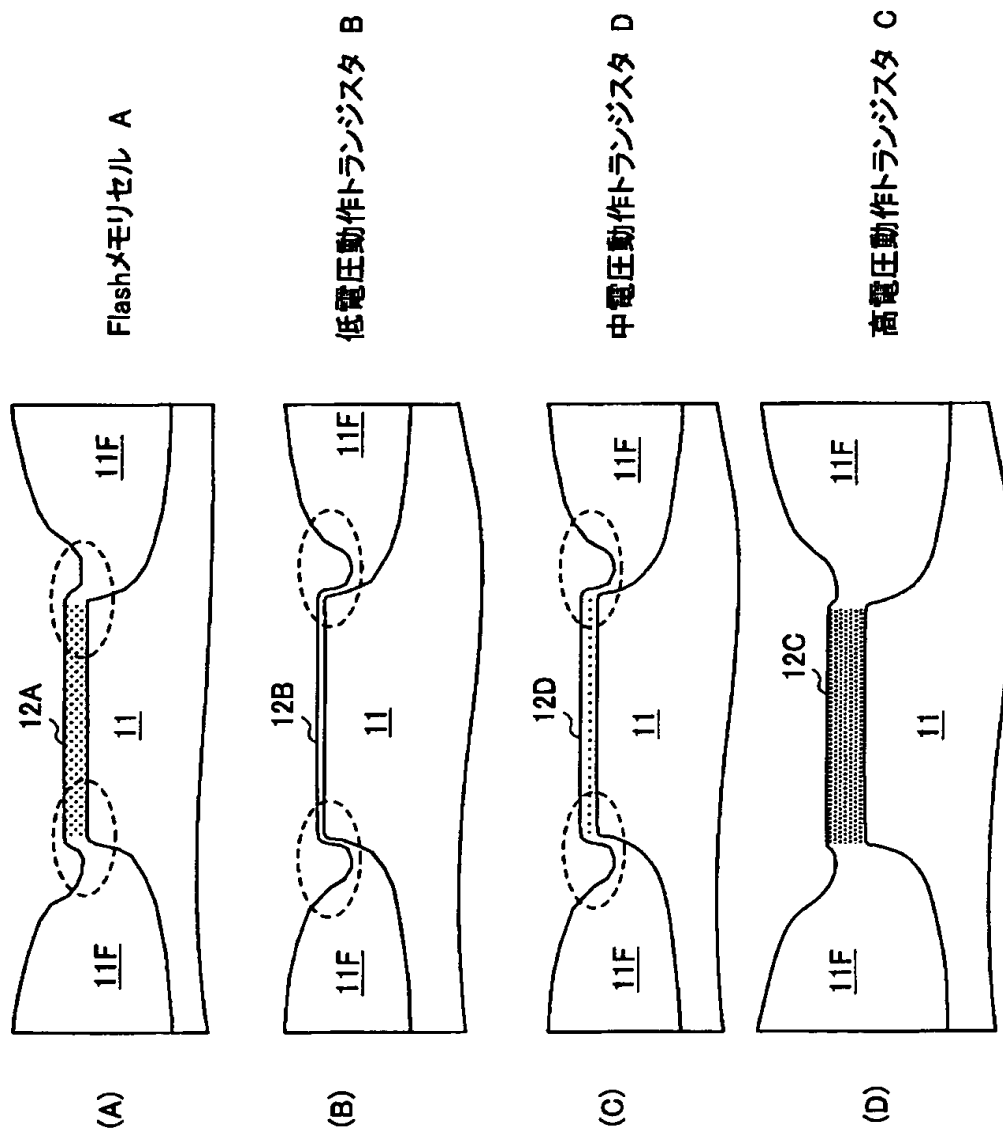
【図 47】

(A)～(D)は、前記従来の半導体集積回路装置の  
製造工程の問題点を説明する別の図



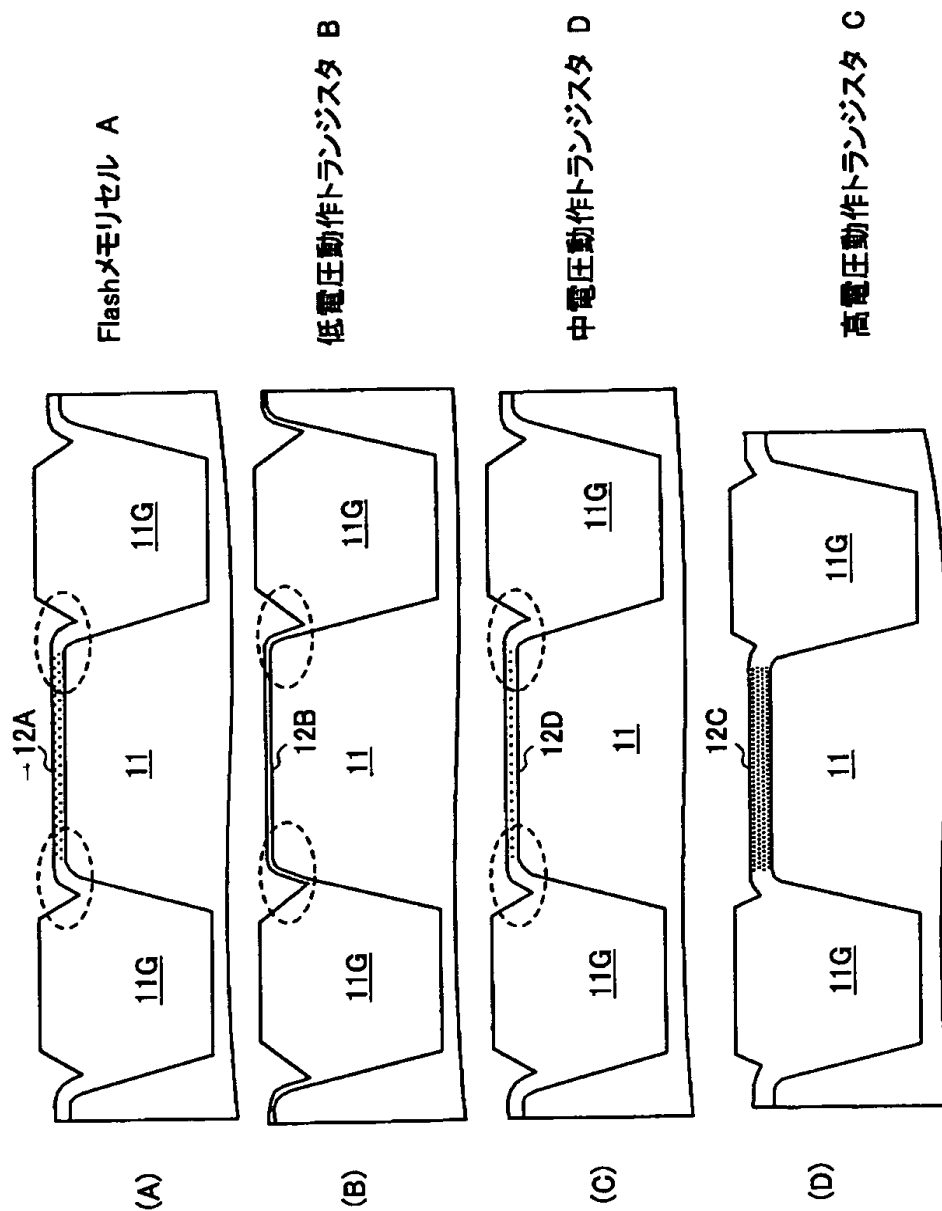
【図 48】

(A)～(D)は、前記従来の半導体集積回路装置の製造工程の問題点を説明する別の図



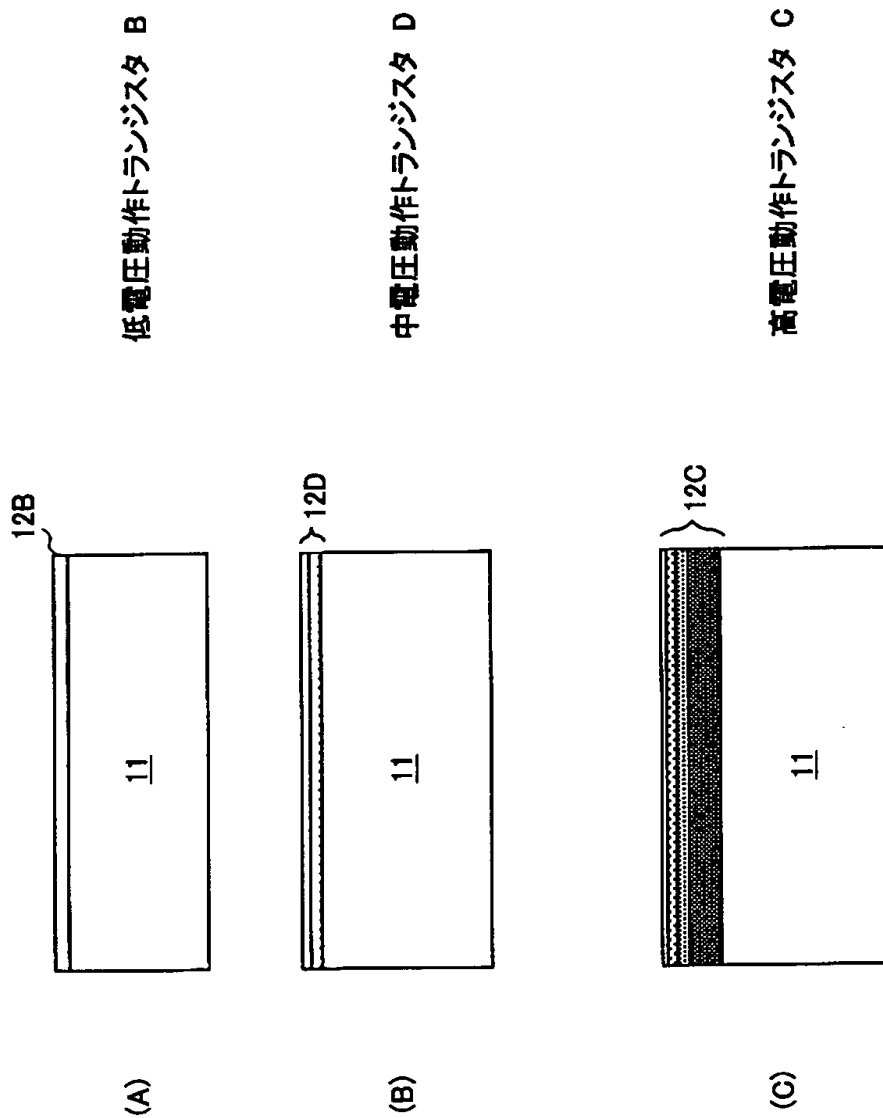
【図 49】

(A)～(D)は、前記従来の半導体集積回路装置の  
製造工程の問題点を説明する別の図



【図 5 0】

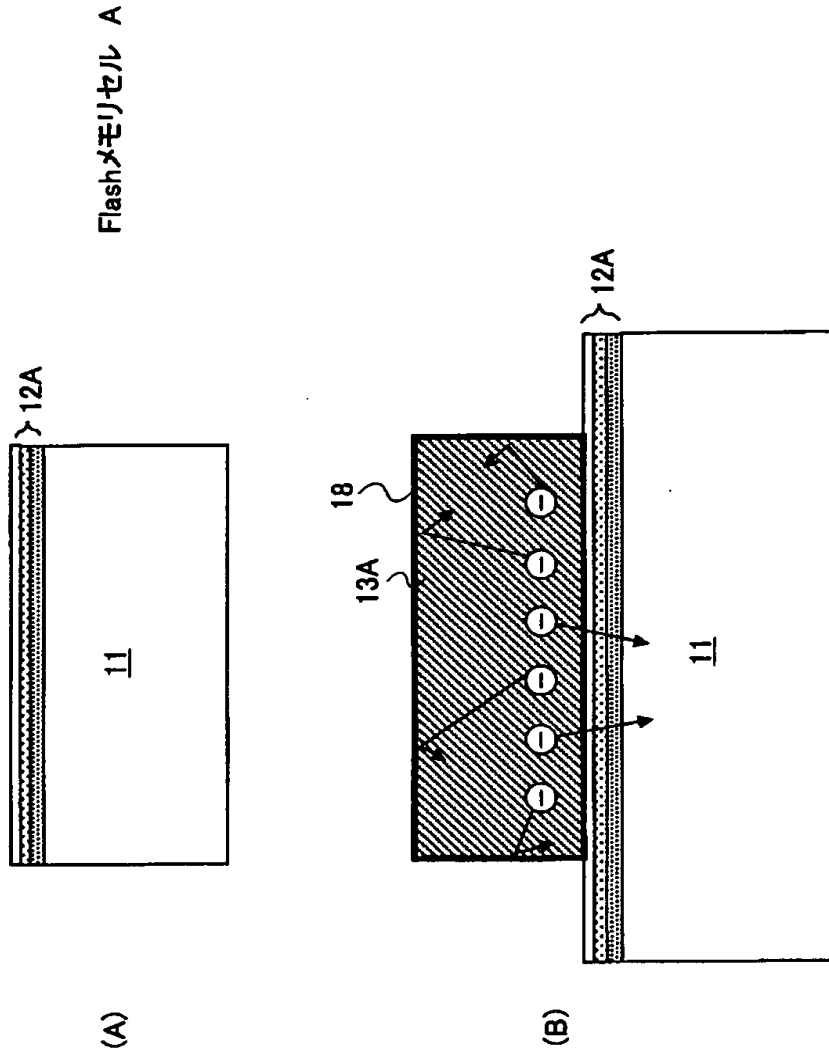
(A) ~ (C) は、前記従来の半導体集積回路装置の  
製造工程の問題点を説明する別の図





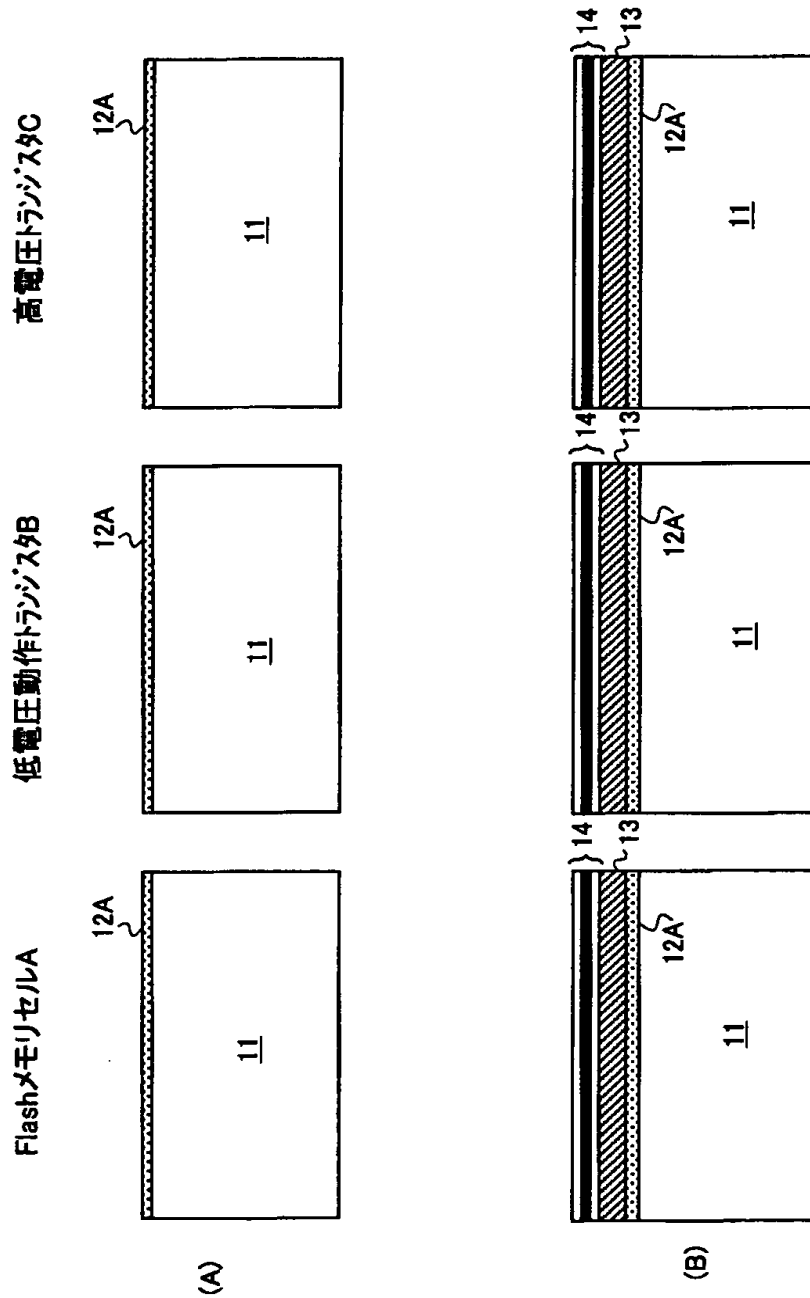
【図 5 1】

(A)～(B)は、前記従来の半導体集積回路装置の  
製造工程の問題点を説明する別の図



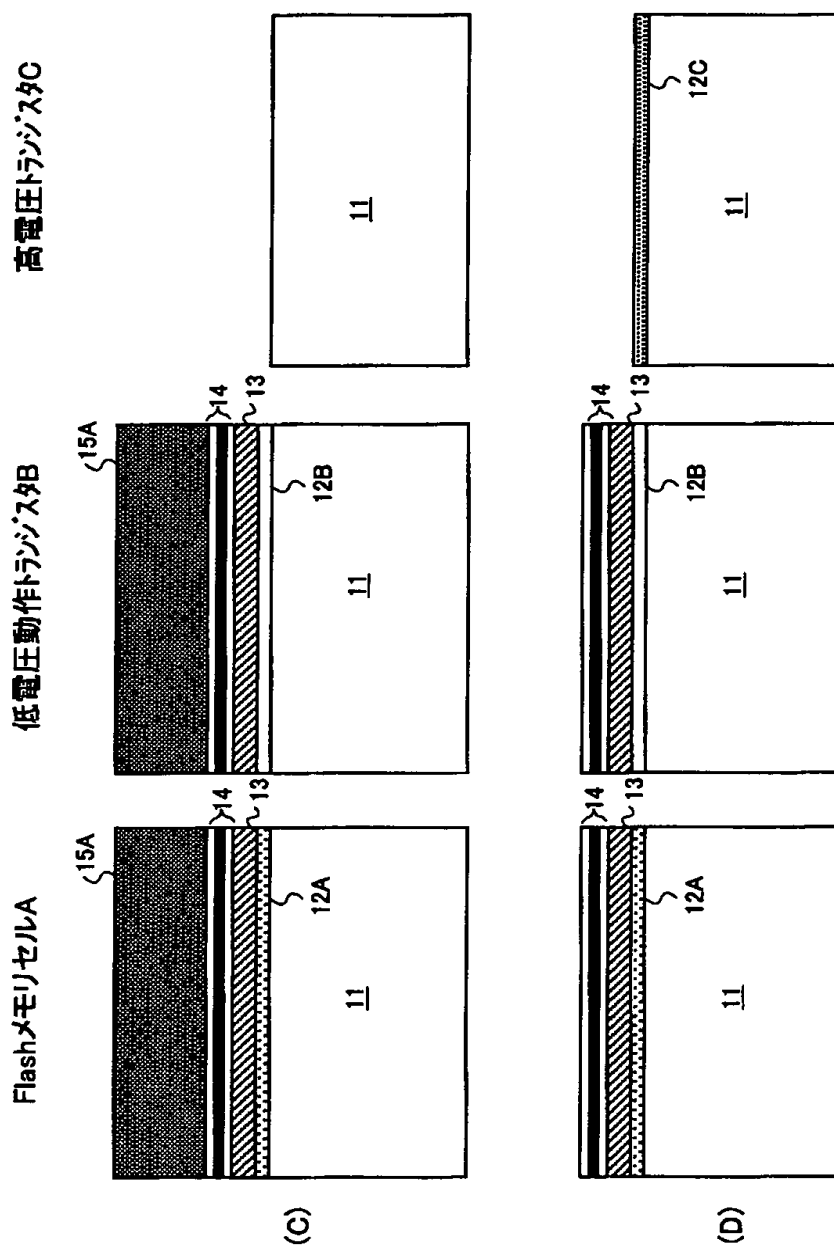
【図 52】

(A)、(B)は、本発明の第1実施例によるフラッシュメモリを含む  
半導体集積回路装置の製造工程を示す図(その1)



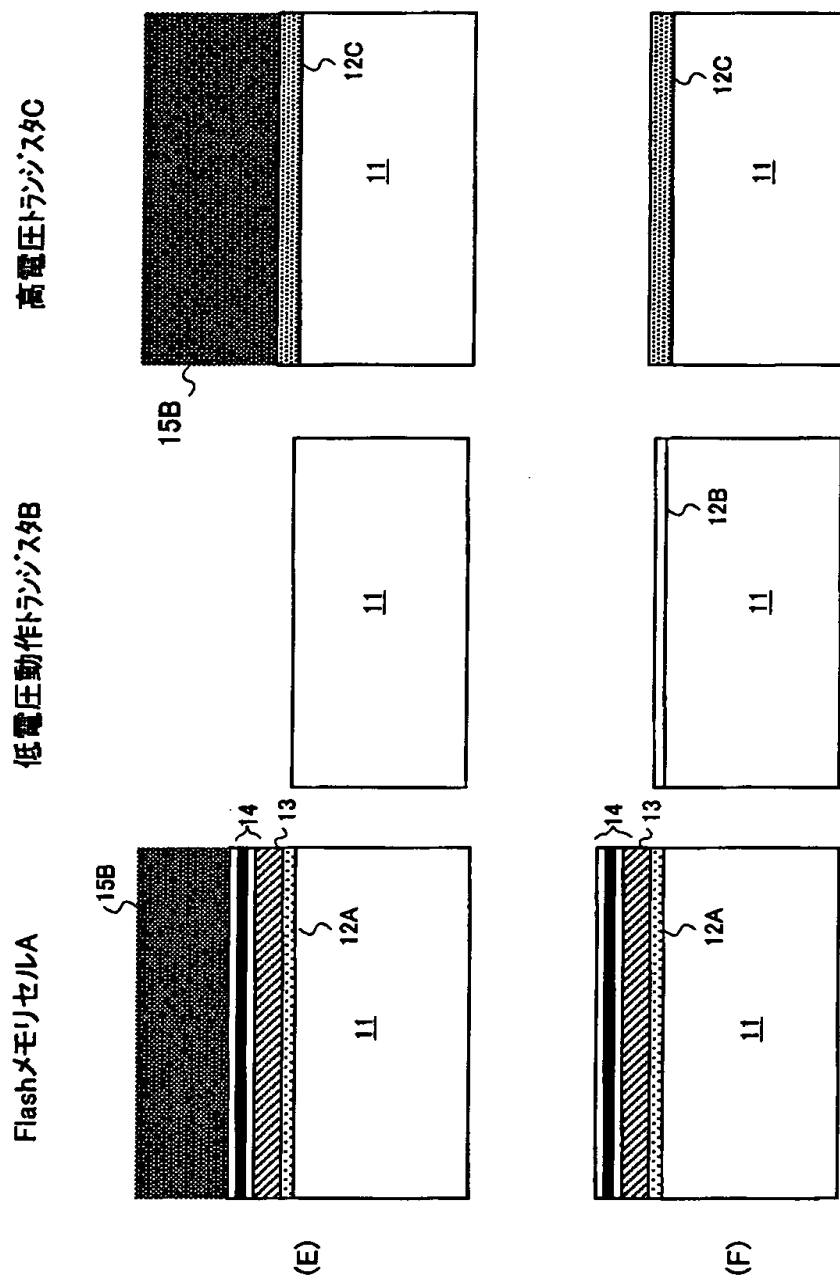
【図 5 3】

(C)、(D)は、本発明の第1実施例によるフラッシュメモリを含む  
半導体集積回路装置の製造工程を示す図(その2)



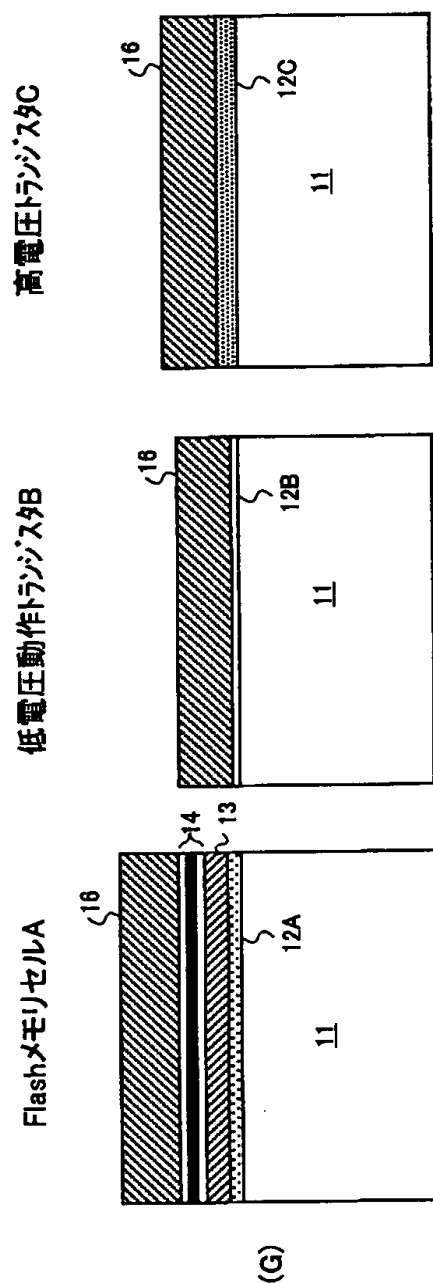
【図 5 4】

(E)、(F)は、本発明の第1実施例によるフラッシュメモリを含む  
半導体集積回路装置の製造工程を示す図(その3)



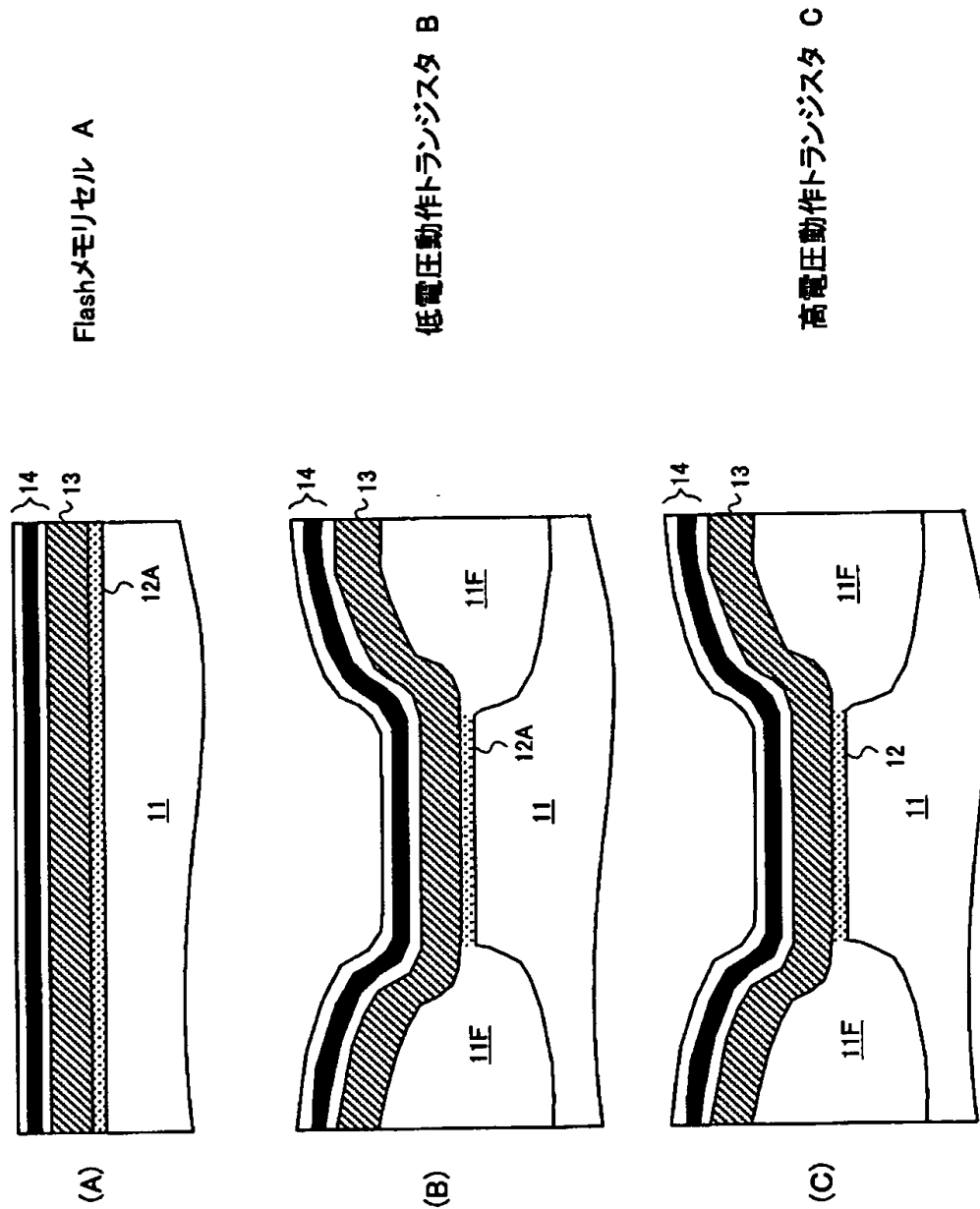
【図 5 5】

(G)は、本発明の第1実施例によるフラッシュメモリを含む  
半導体集積回路装置の製造工程を示す図(その4)



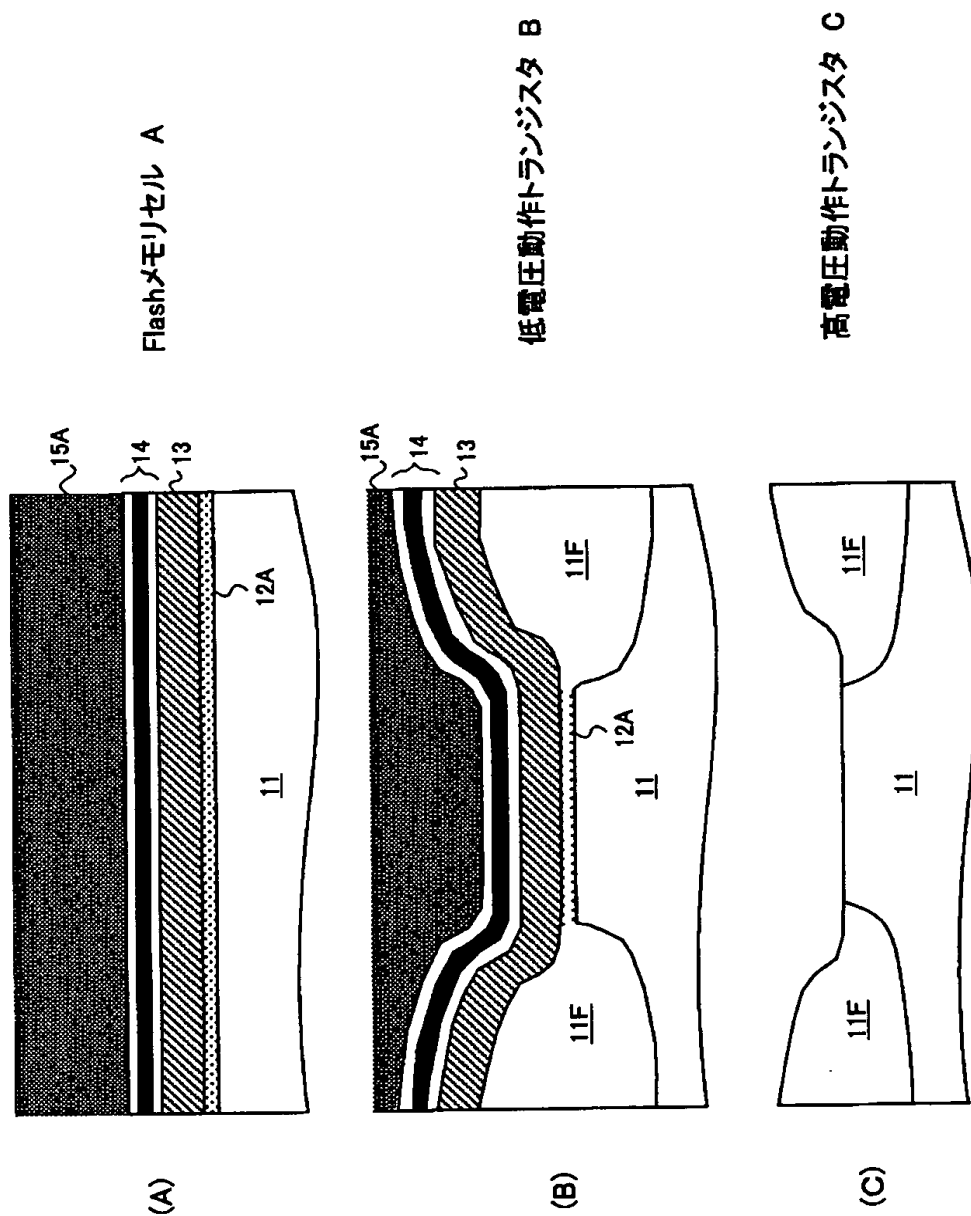
【図 56】

(A)～(C)は本実施例の効果を説明する図



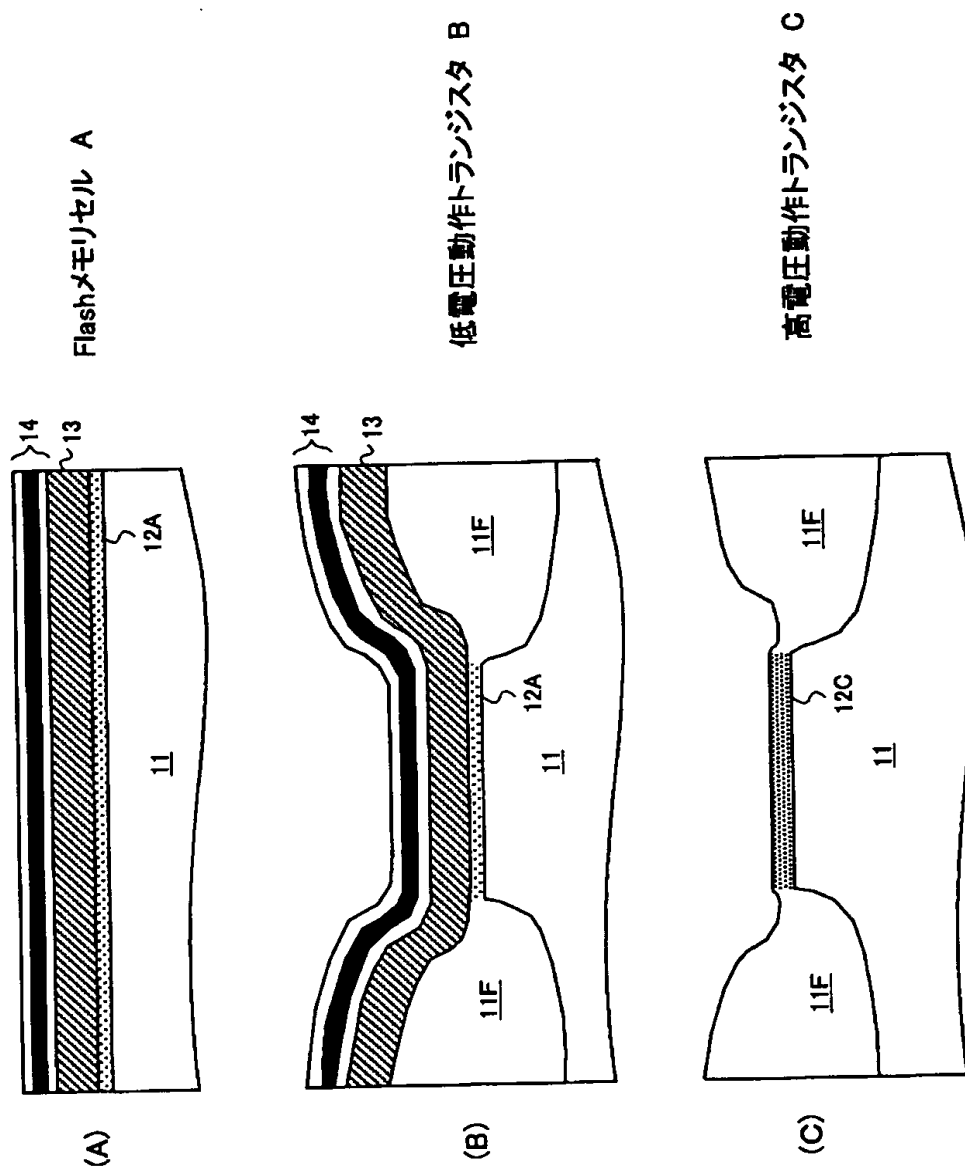
【図 57】

(A)～(C)は本実施例の効果を説明する別の図



【図 58】

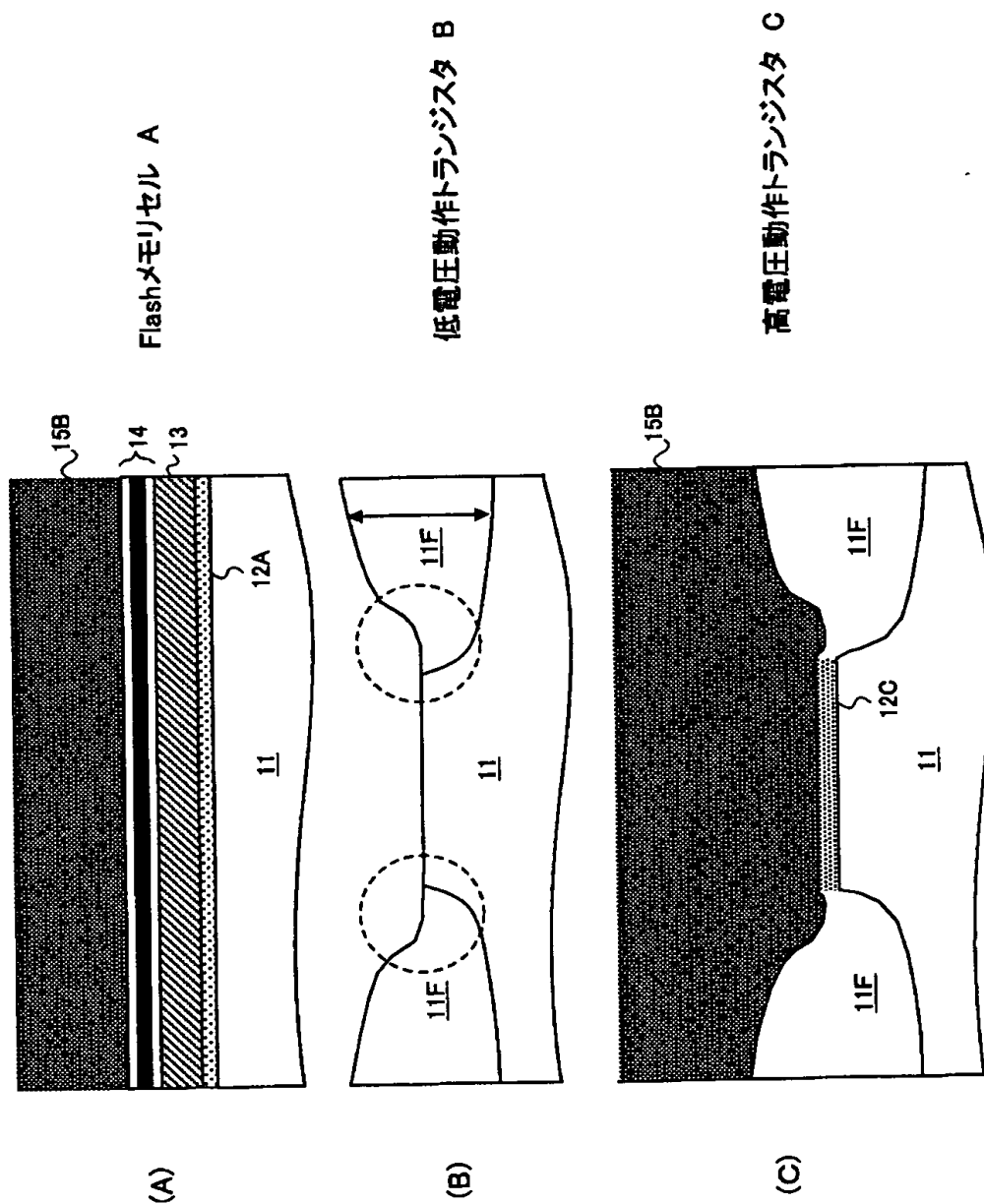
(A)～(C)は本実施例の効果を説明する別の図



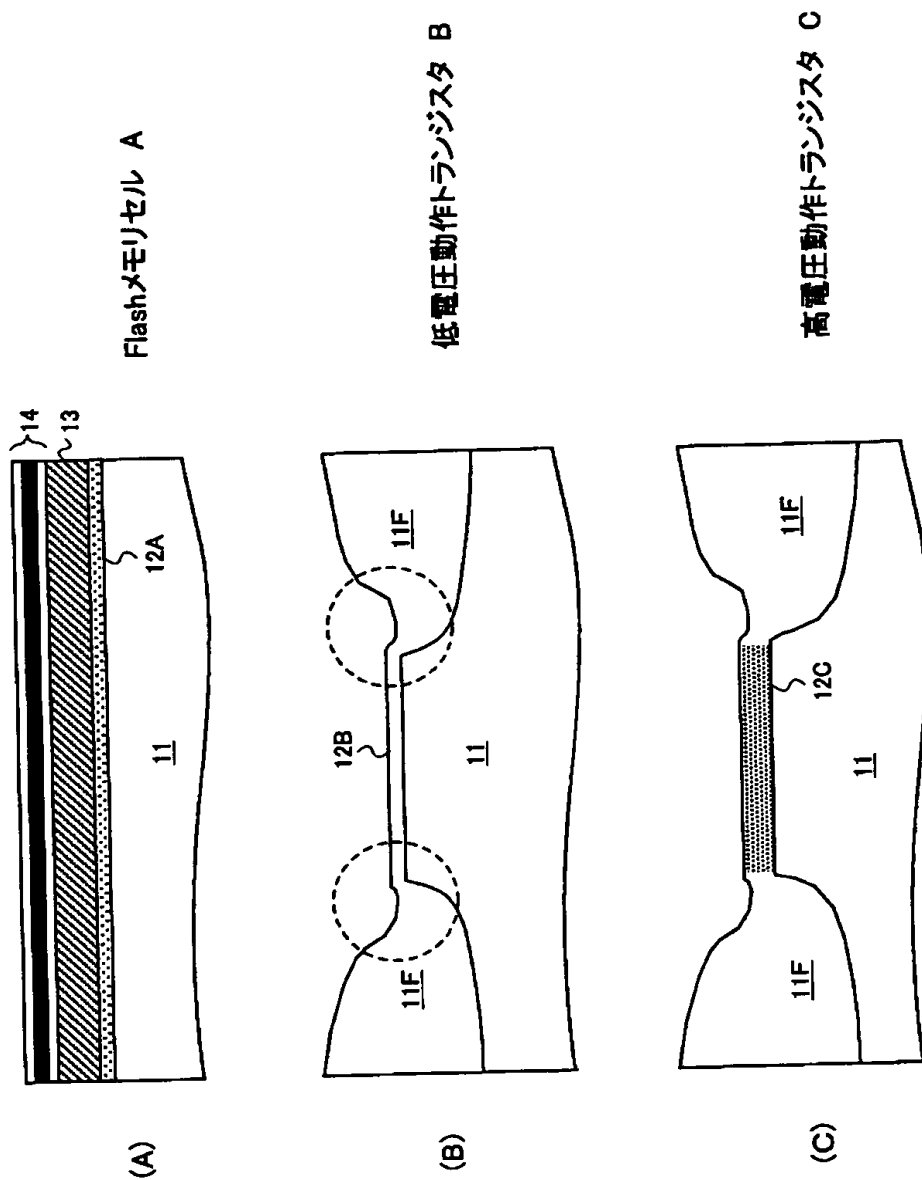


【図 59】

(A)～(C)は本実施例の効果を説明する別の図

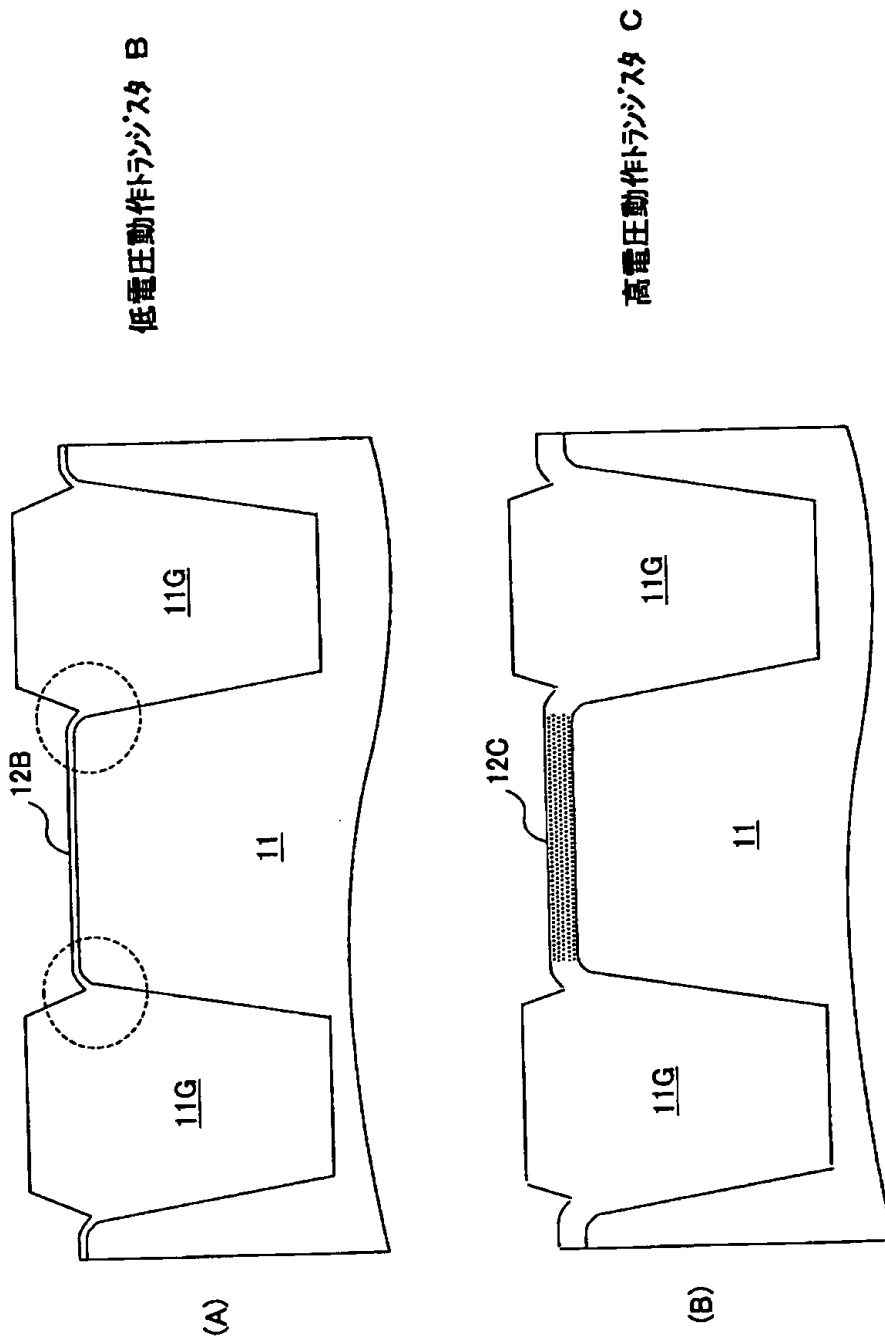


【図 6 0】



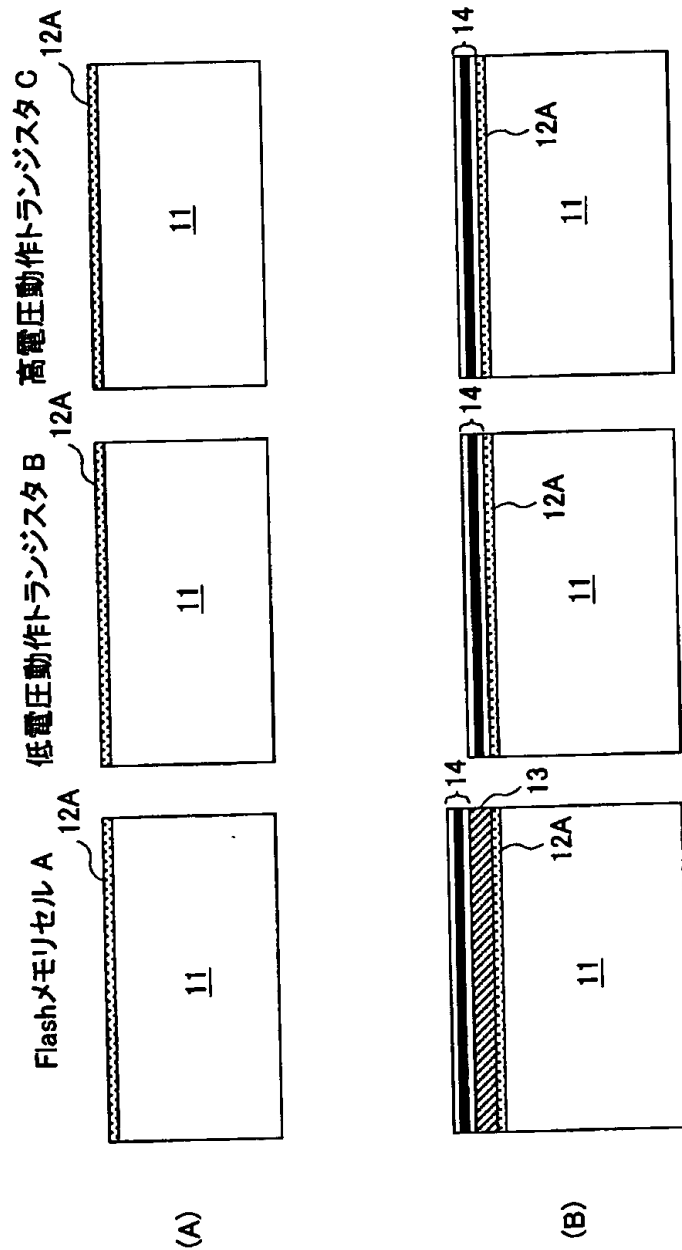
【図 61】

(A) ~ (B) は本実施例の効果を説明する別の図



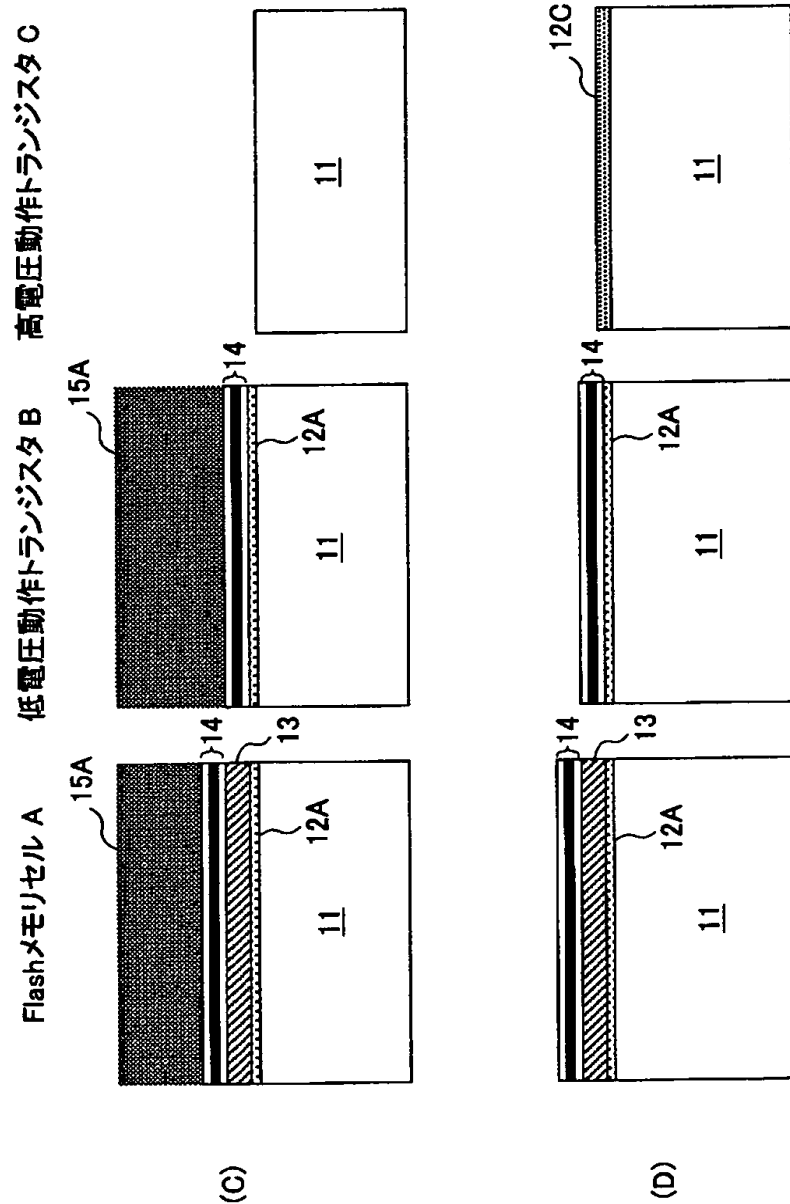
【図 62】

(A)、(B)は、本発明の第1実施例の一変形例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その1）



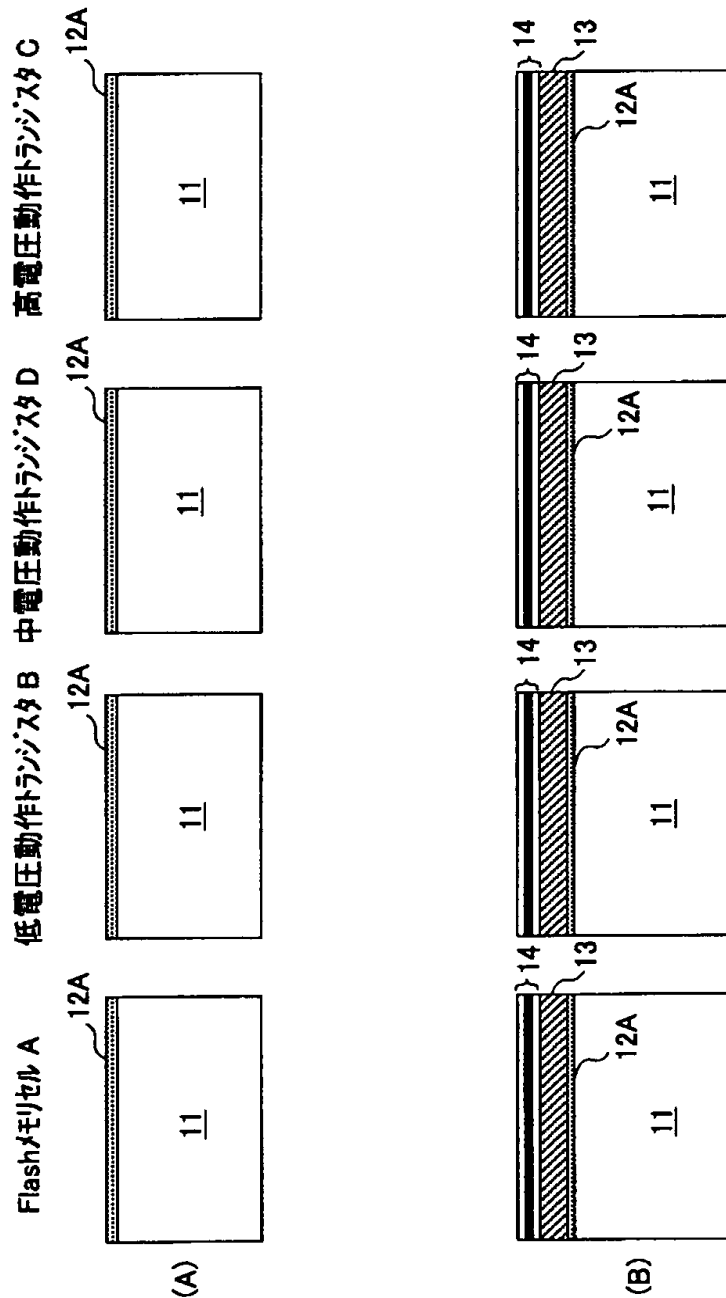
【図 63】

(C)、(D)は、本発明の第1実施例の一変形例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その2）



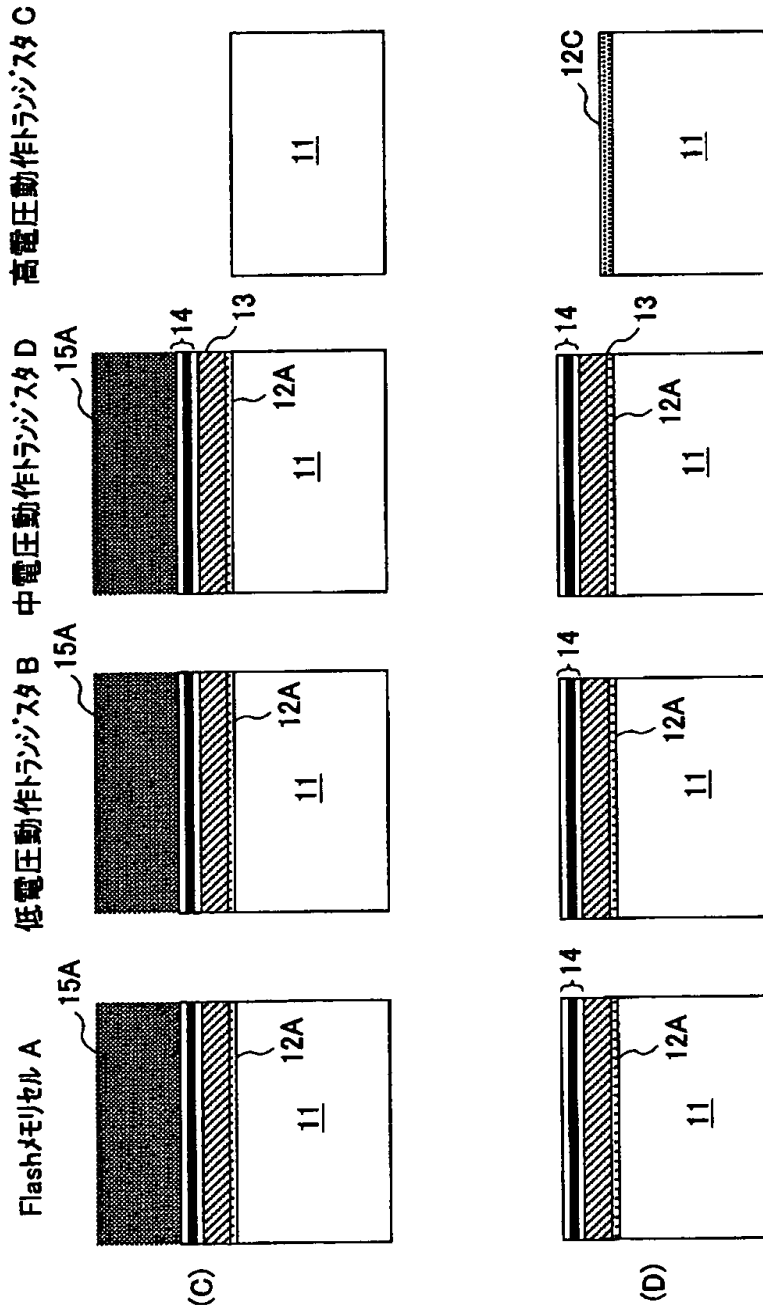
【図 6 4】

(A)、(B)は、本発明の第1実施例の別変形例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その1）



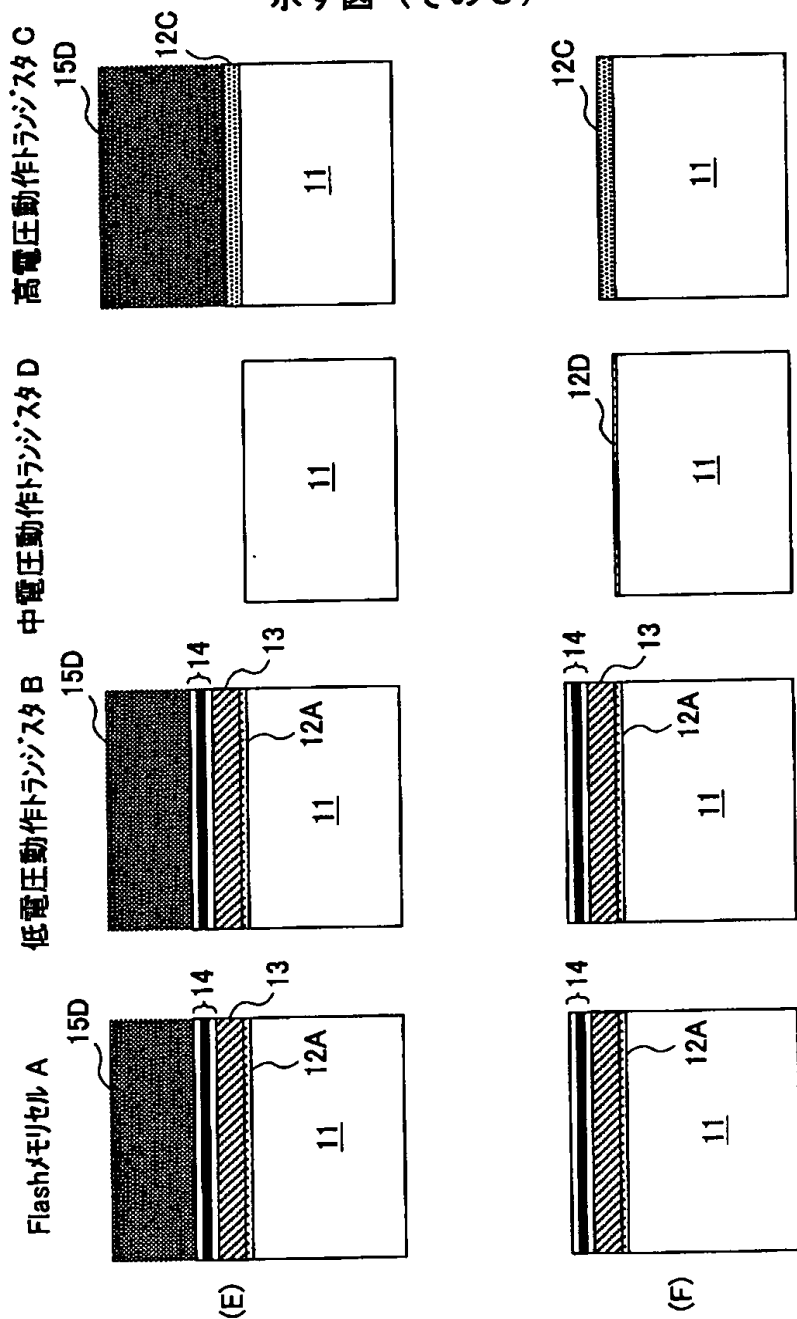
【図65】

(C)、(D)は、本発明の第1実施例の別変形例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その2）



【図66】

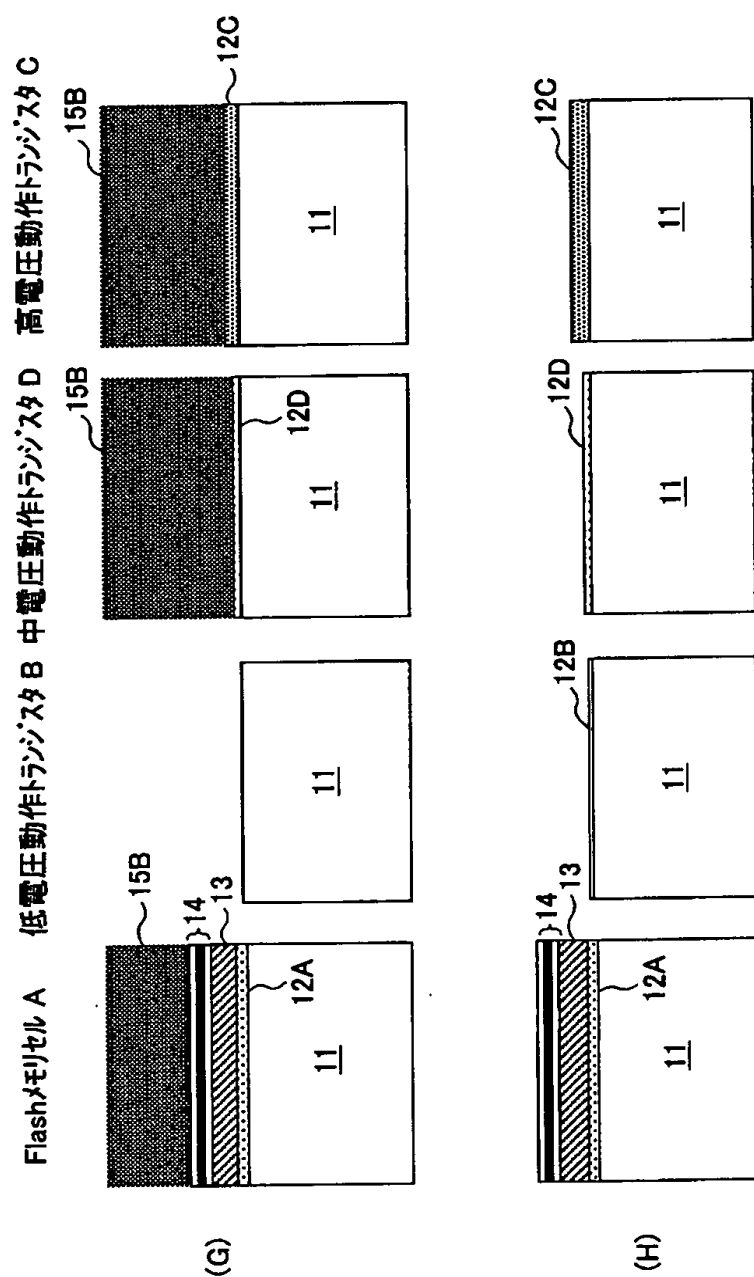
(E)、(F)は、本発明の第1実施例の別変形例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その3）





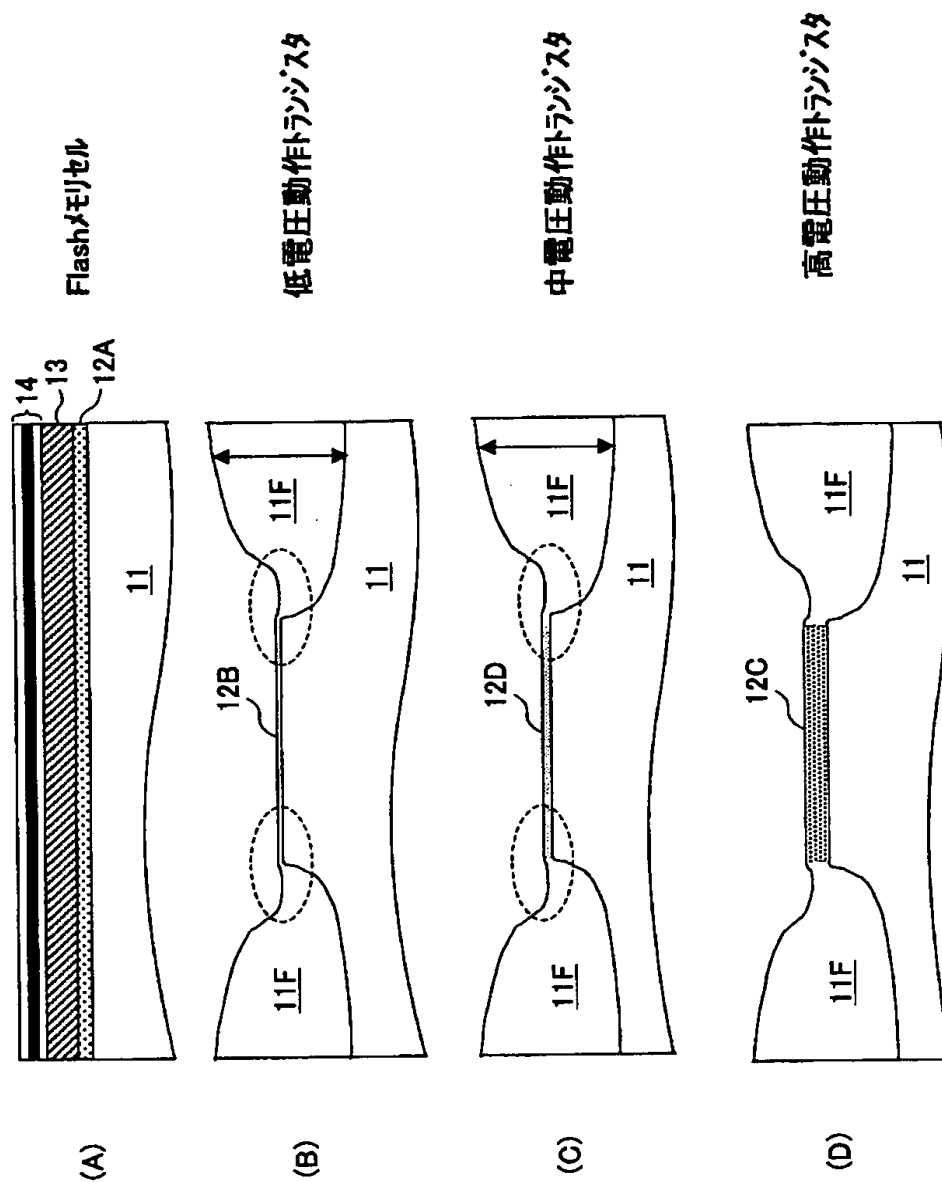
【図 67】

(G), (H) は、本発明の第 1 実施例の別変形例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その 4）



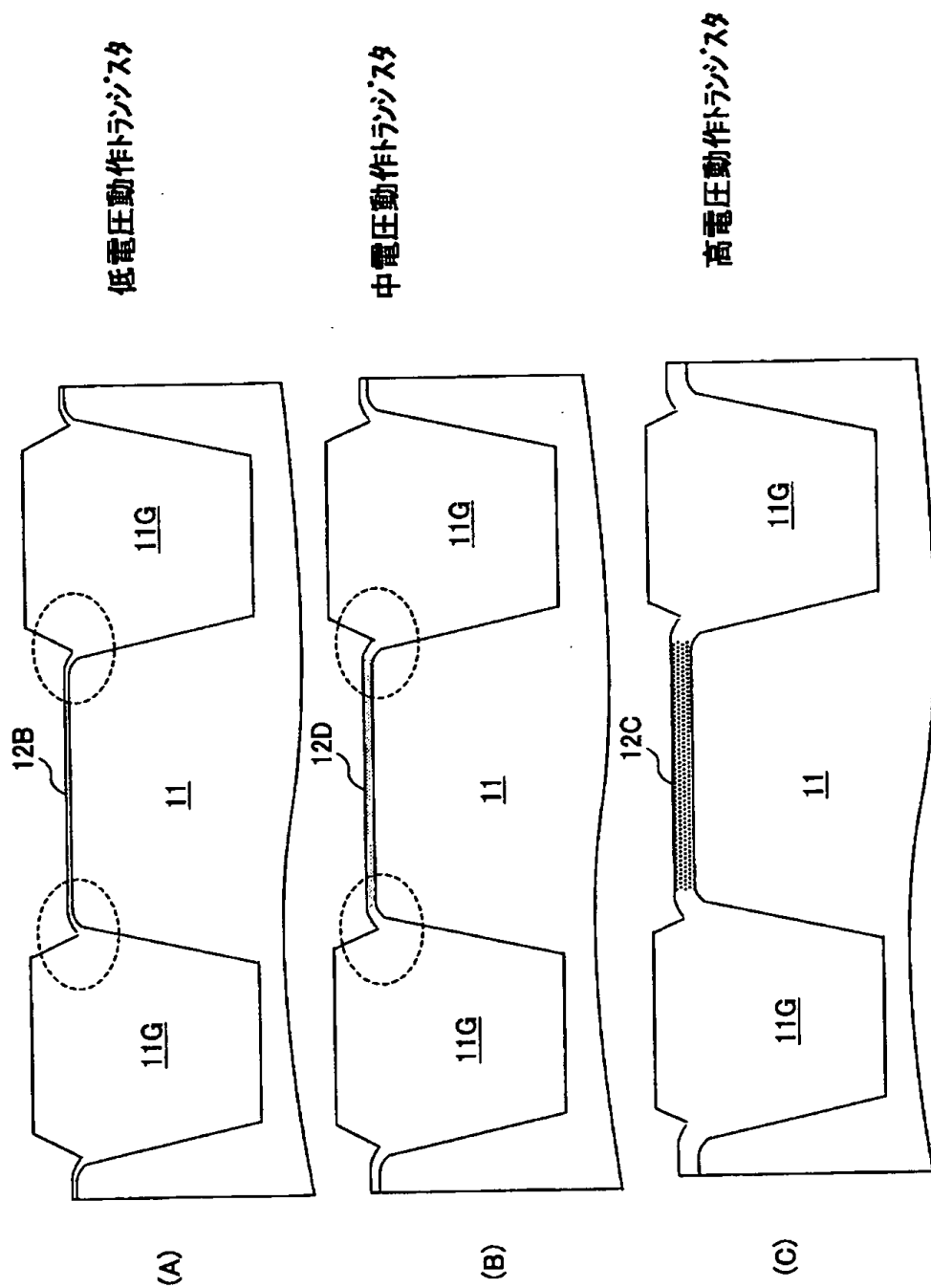
【図 68】

(A) ~ (D) は本実施例の効果を説明する図



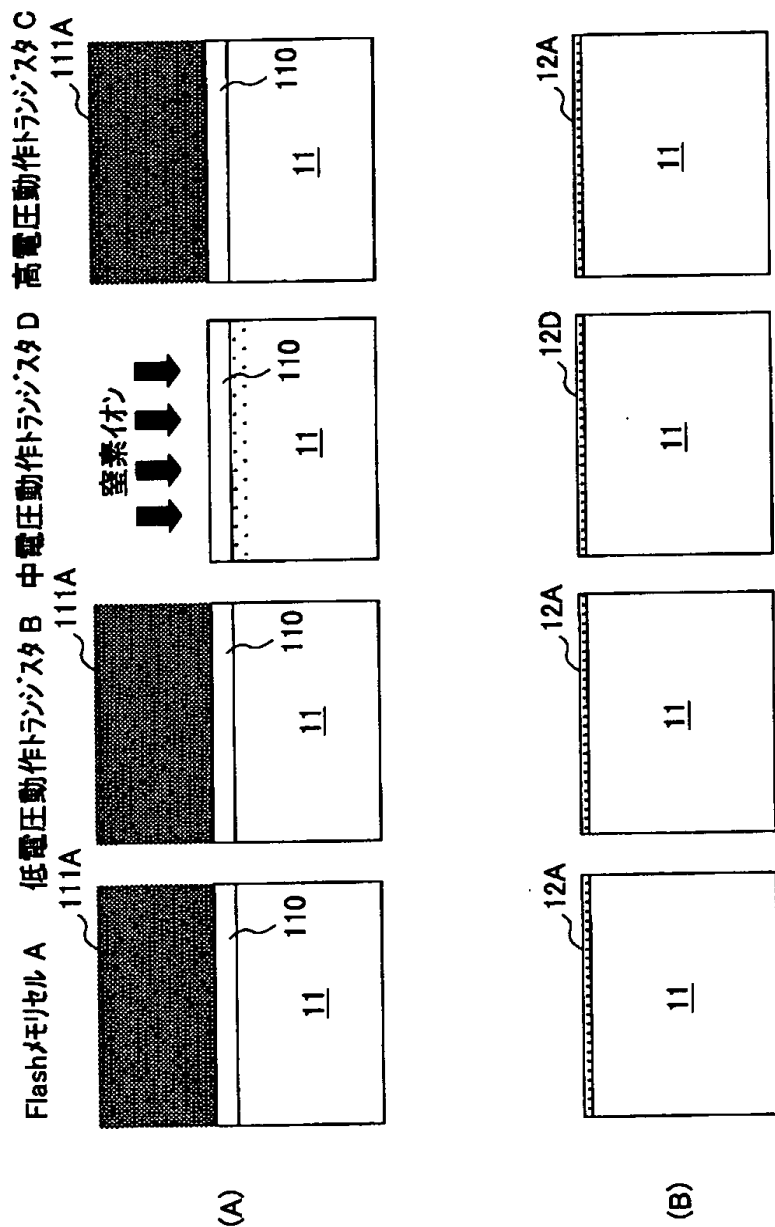
【図 69】

(A) ~ (C) は本実施例の効果を説明する別の図



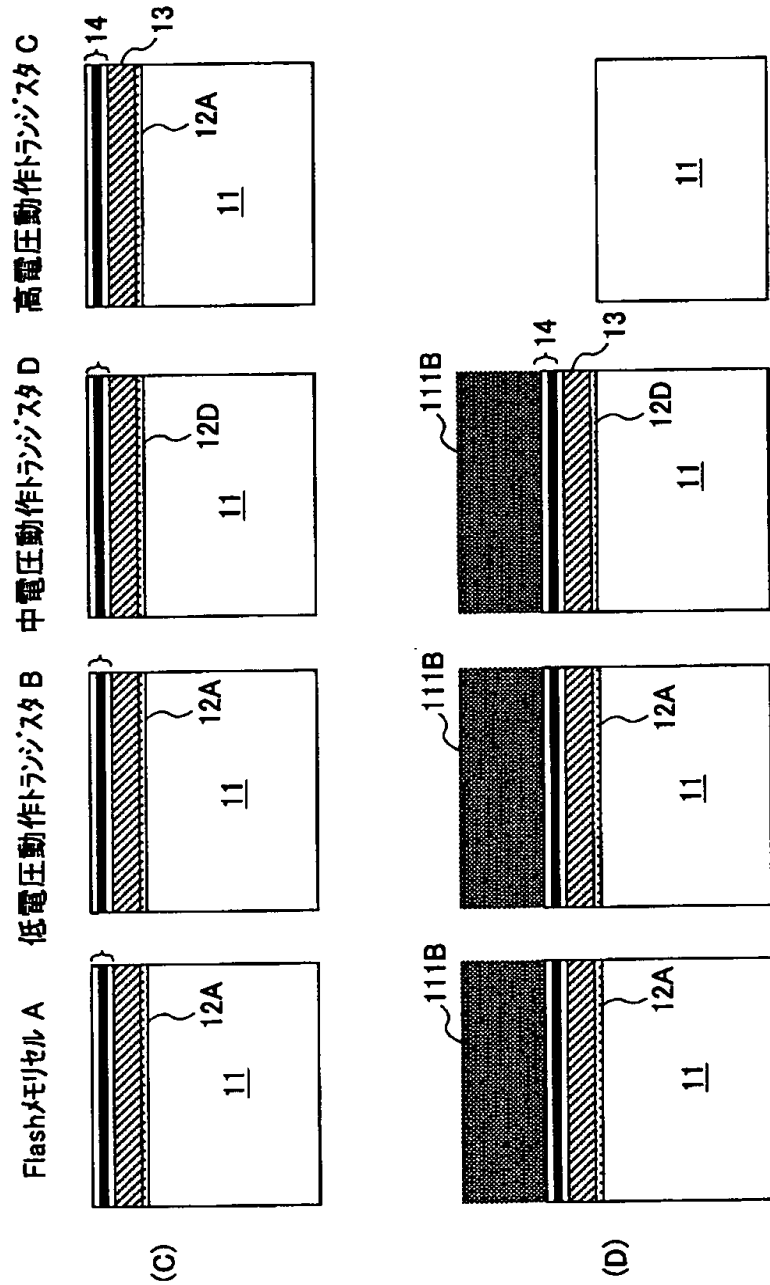
【図 70】

(A), (B) は、本発明の第2実施例による  
フラッシュメモリを含む半導体集積回路装置の  
製造工程を示す図（その1）



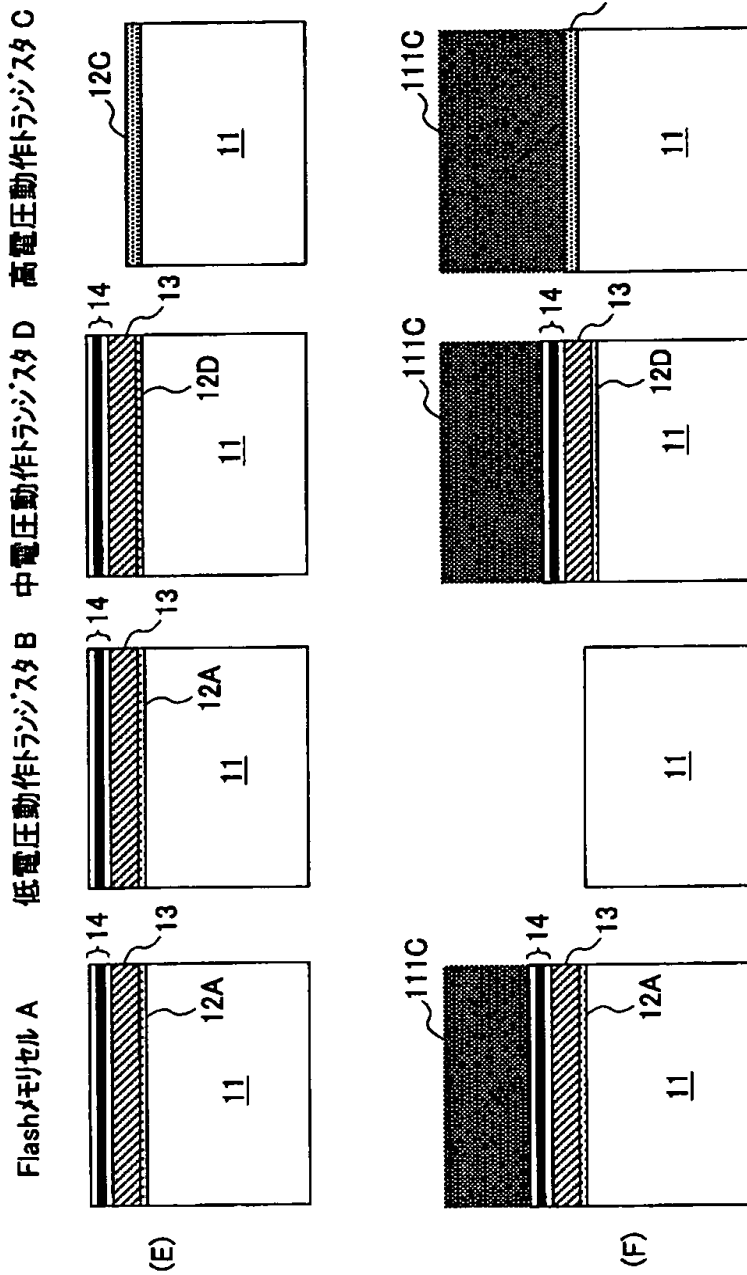
【図 71】

(C)、(D) は、本発明の第2実施例による  
フラッシュメモリを含む半導体集積回路装置の  
製造工程を示す図（その2）



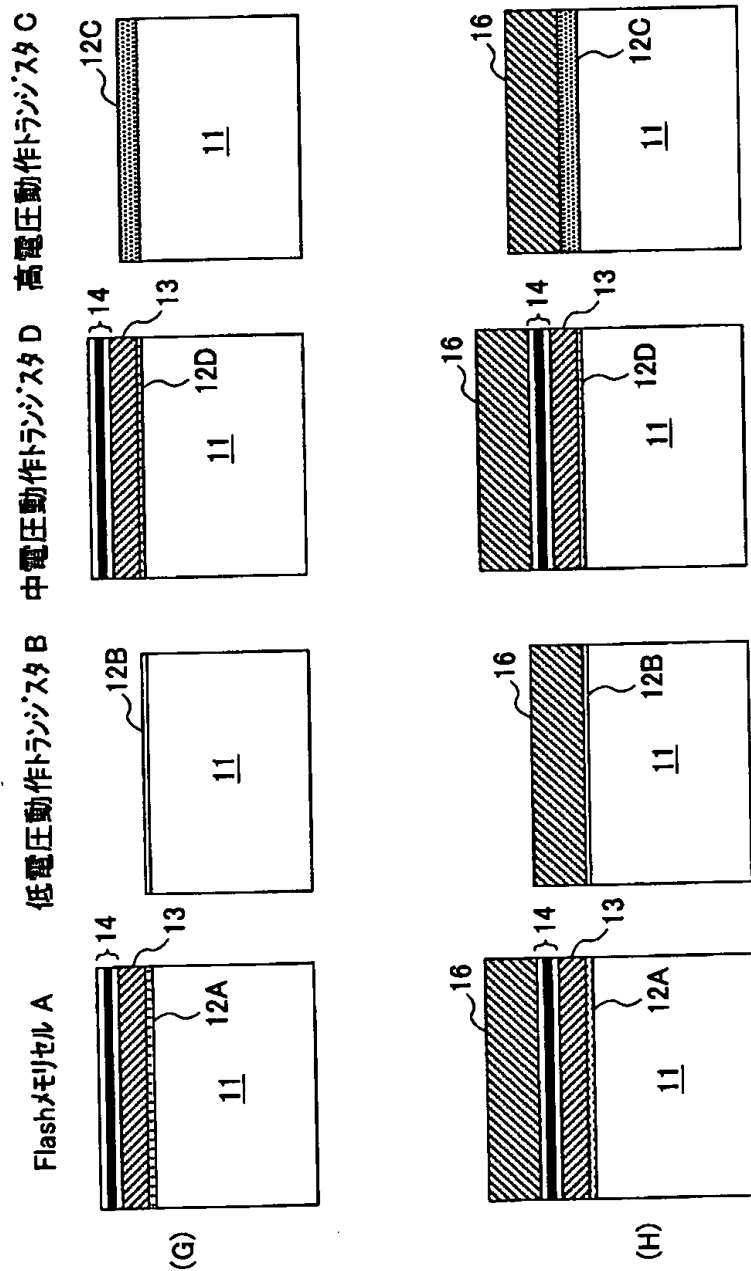
【図 7 2】

(E)、(F)は、本発明の第2実施例による  
フラッシュメモリを含む半導体集積回路装置の  
製造工程を示す図（その3）



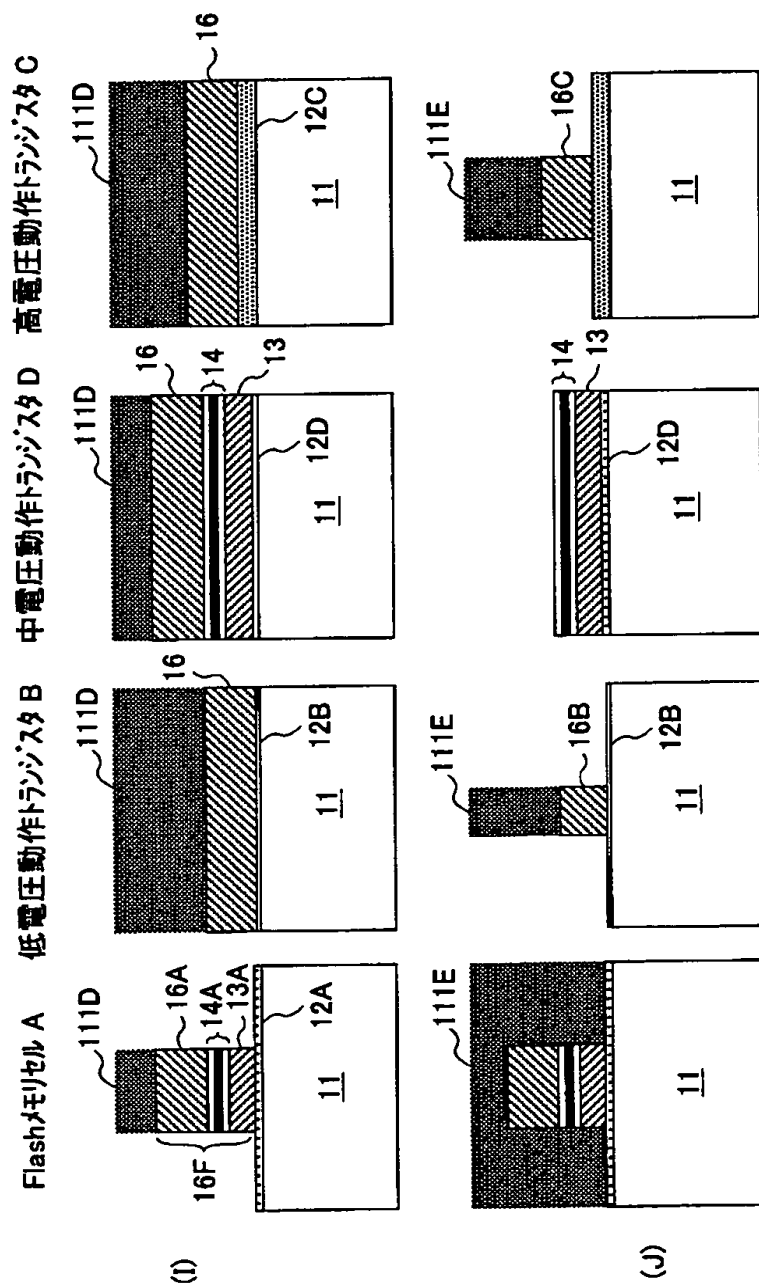
【図73】

(G)、(H)は、本発明の第2実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その4）



【図74】

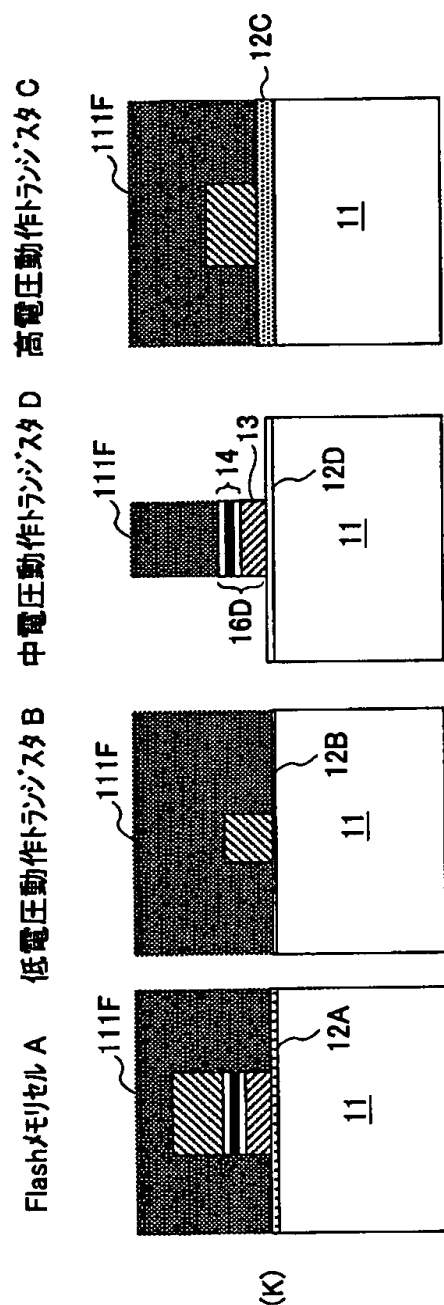
(I), (J) は、本発明の第2実施例による  
フラッシュメモリを含む半導体集積回路装置の  
製造工程を示す図（その5）





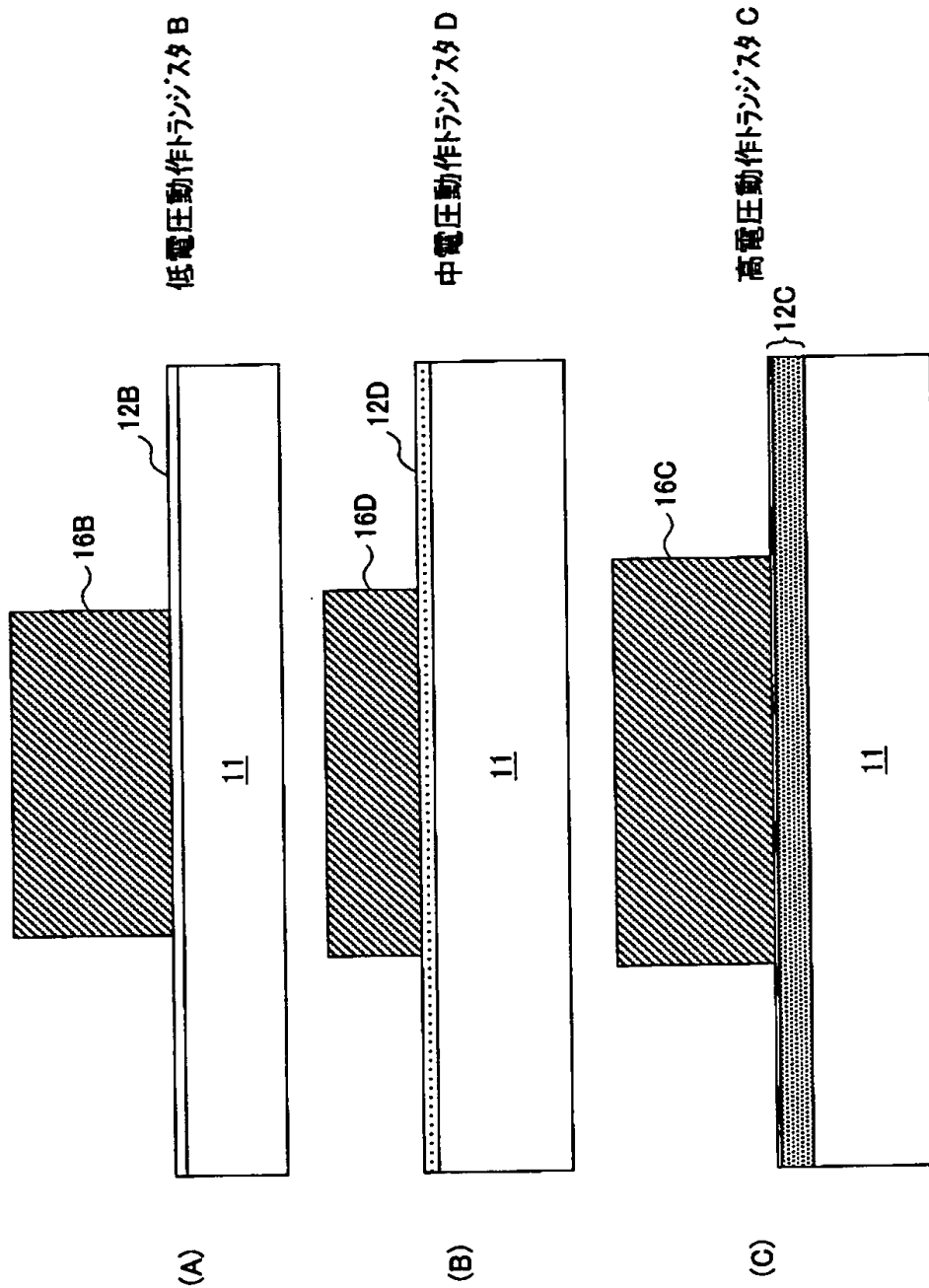
【図 75】

(K) は、本発明の第2実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その6）



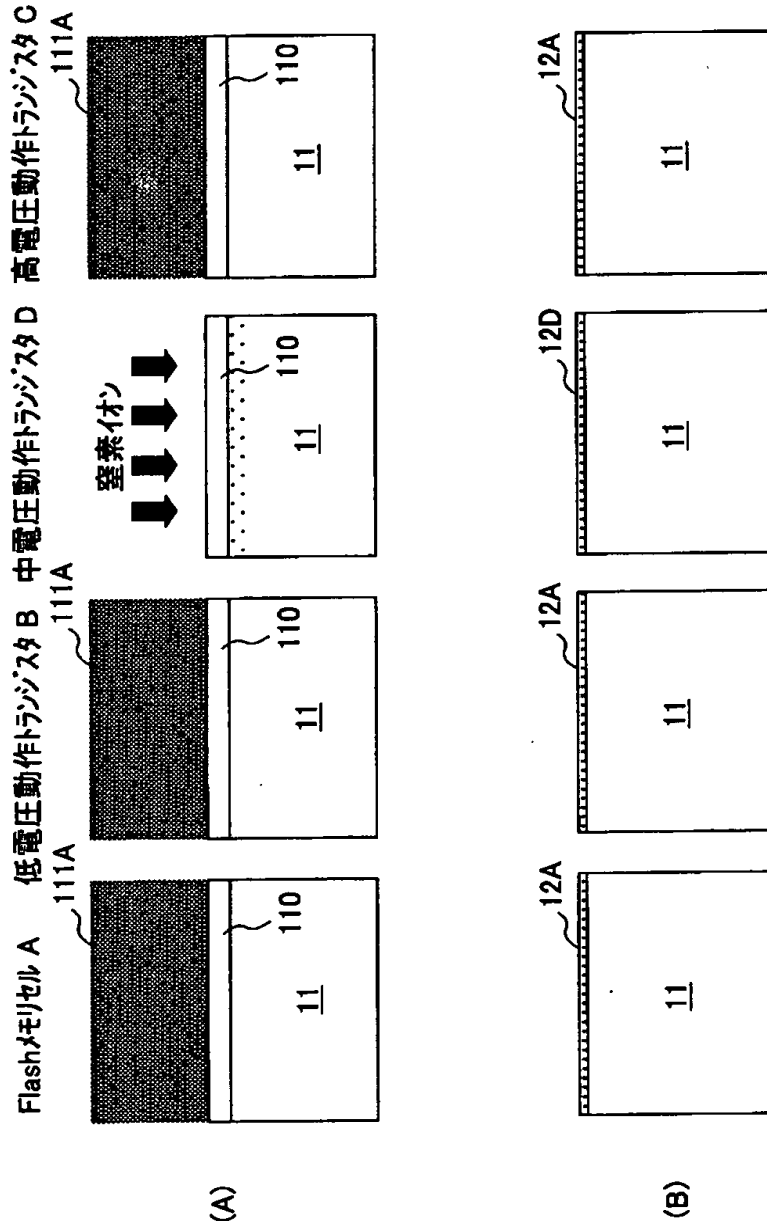
【図76】

(A) ~ (C) は、本発明の第2実施例による  
半導体集積回路装置の一部を示す図



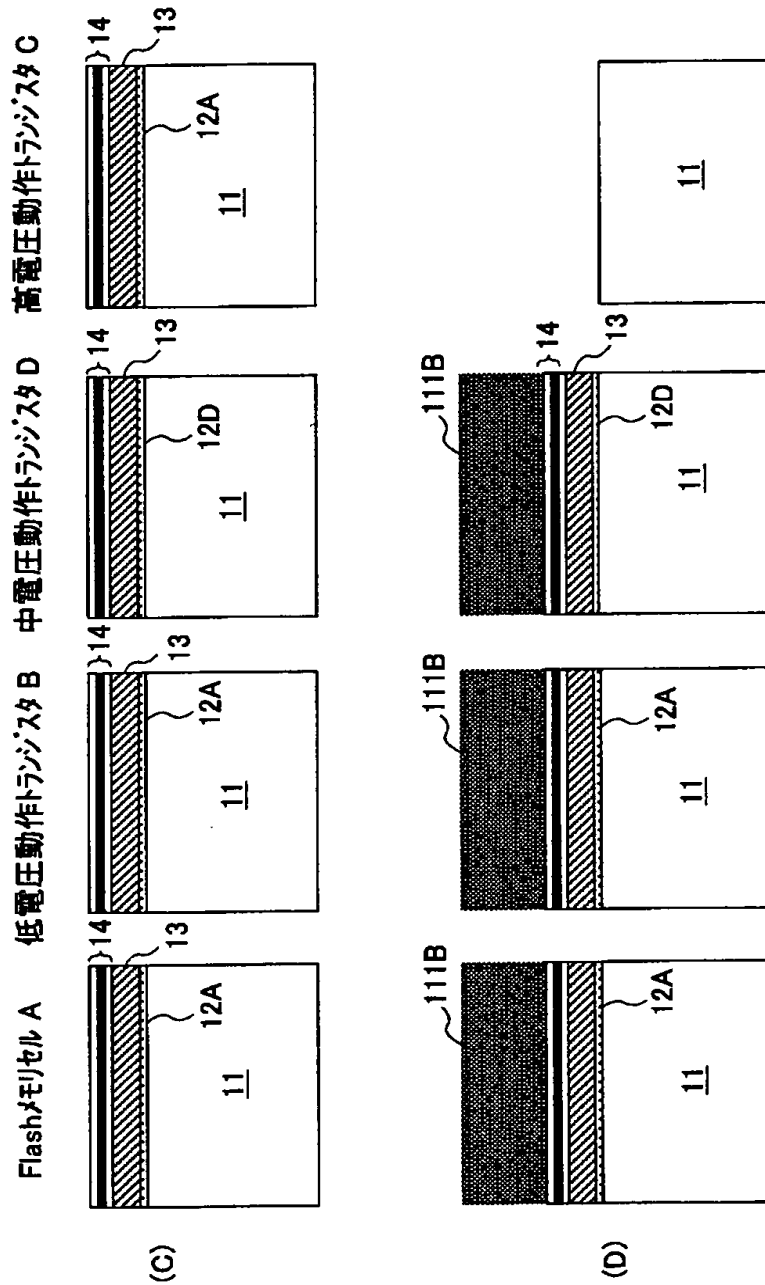
【図 77】

(A), (B) は、本発明の第3実施例による  
フラッシュメモリを含む半導体集積回路装置の  
製造工程を示す図（その1）



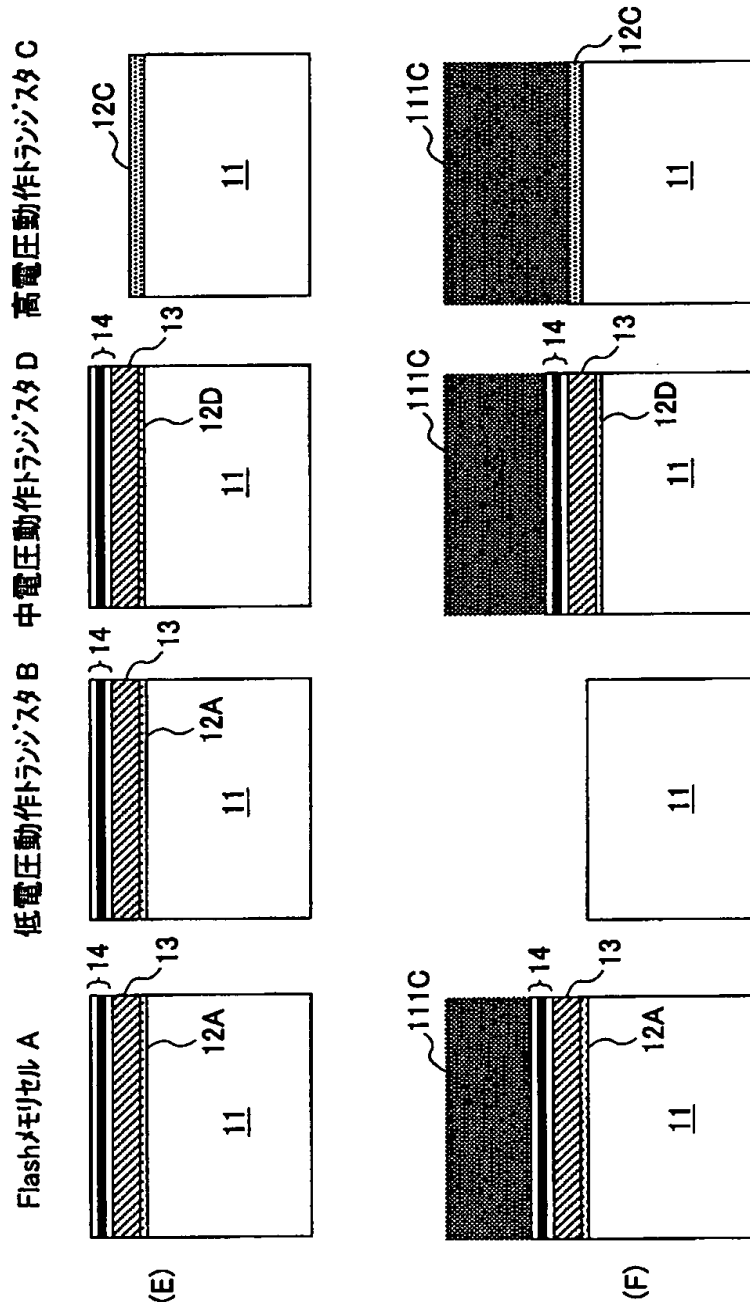
【図 78】

(C), (D) は、本発明の第3実施例による  
フラッシュメモリを含む半導体集積回路装置の  
製造工程を示す図（その2）



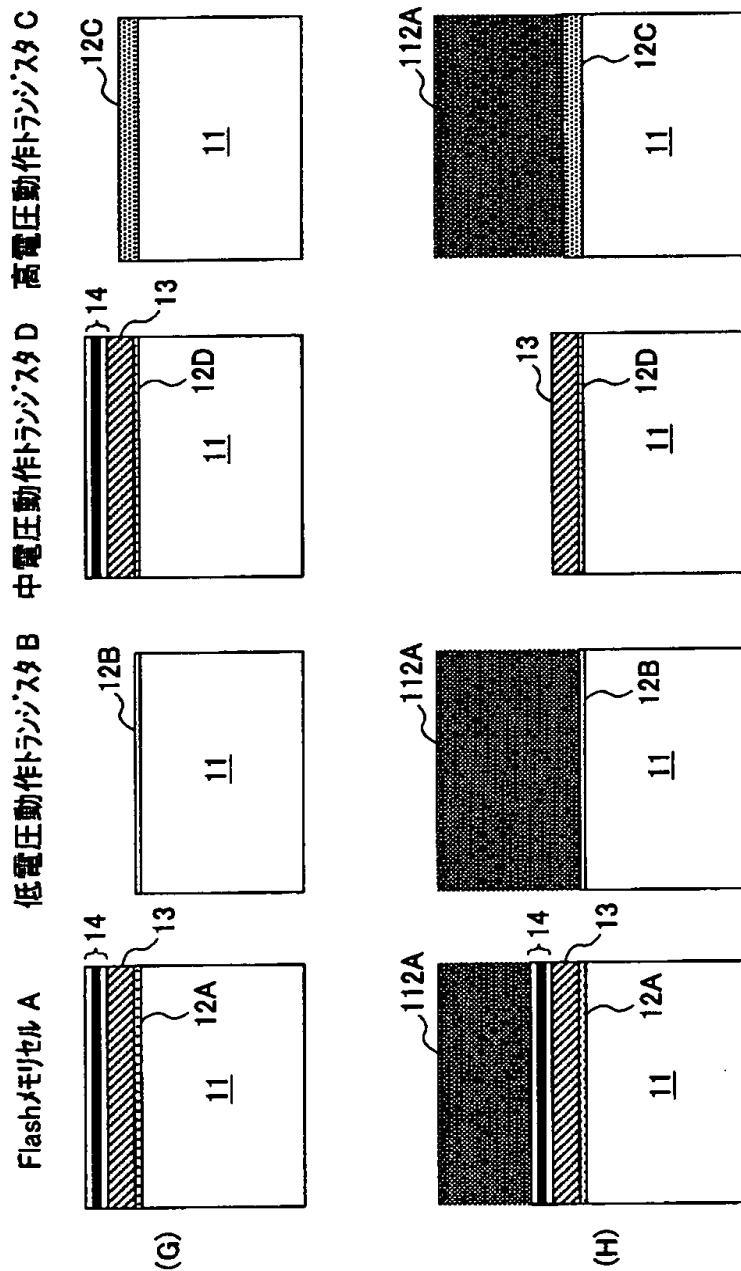
【図 79】

(E)、(F) は、本発明の第 3 実施例による  
フラッシュメモリを含む半導体集積回路装置の  
製造工程を示す図（その 3）



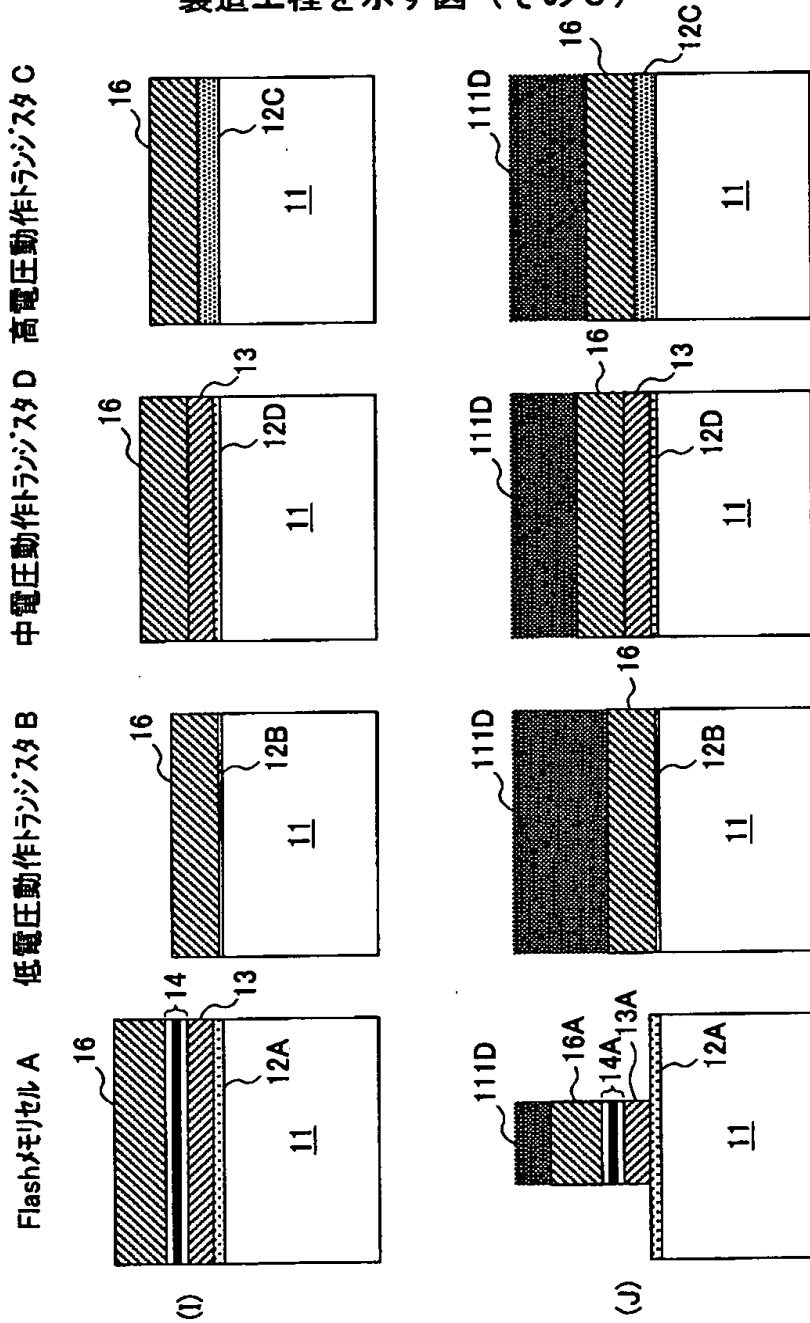
【図 80】

(G)、(H)は、本発明の第3実施例による  
フラッシュメモリを含む半導体集積回路装置の  
製造工程を示す図（その4）



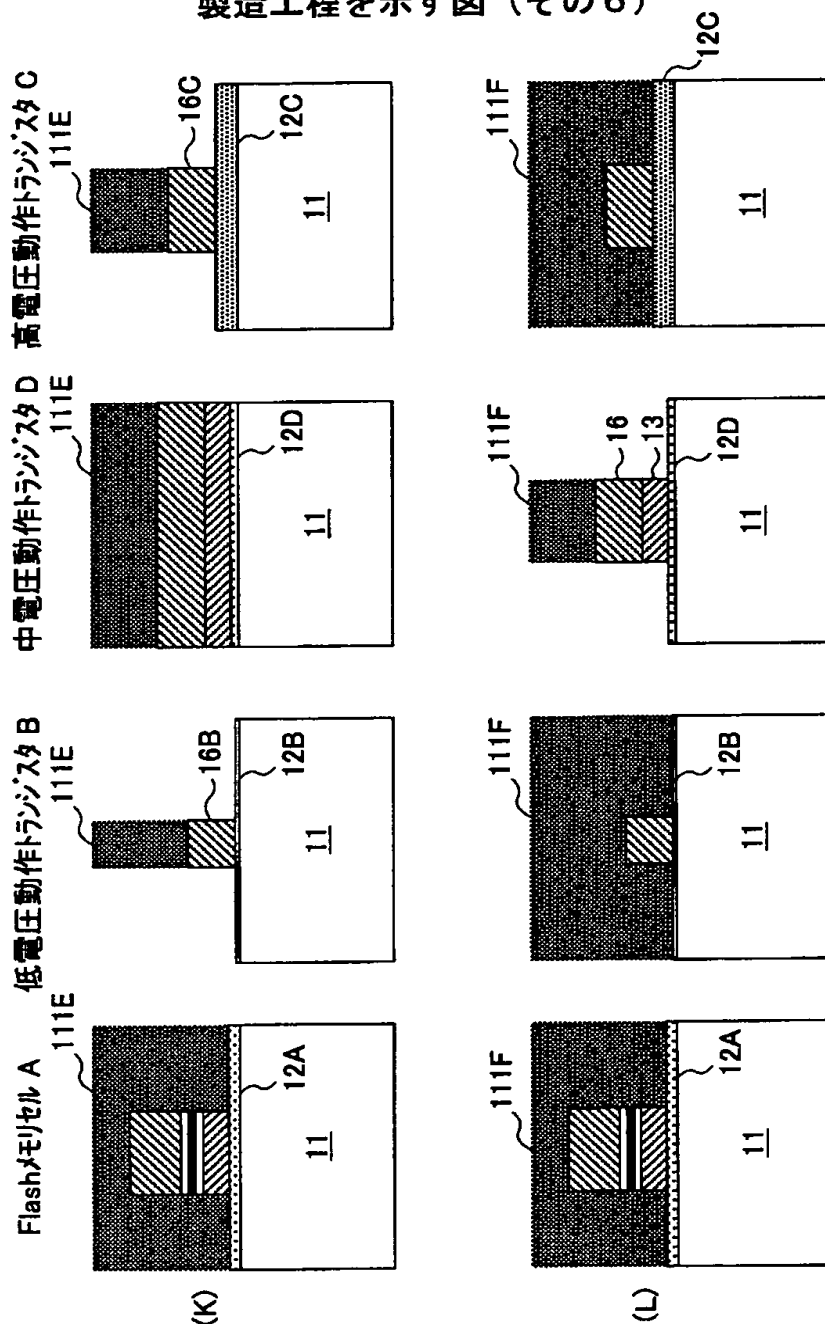
【図 81】

(I), (J) は、本発明の第3実施例による  
フラッシュメモリを含む半導体集積回路装置の  
製造工程を示す図（その5）



【図 82】

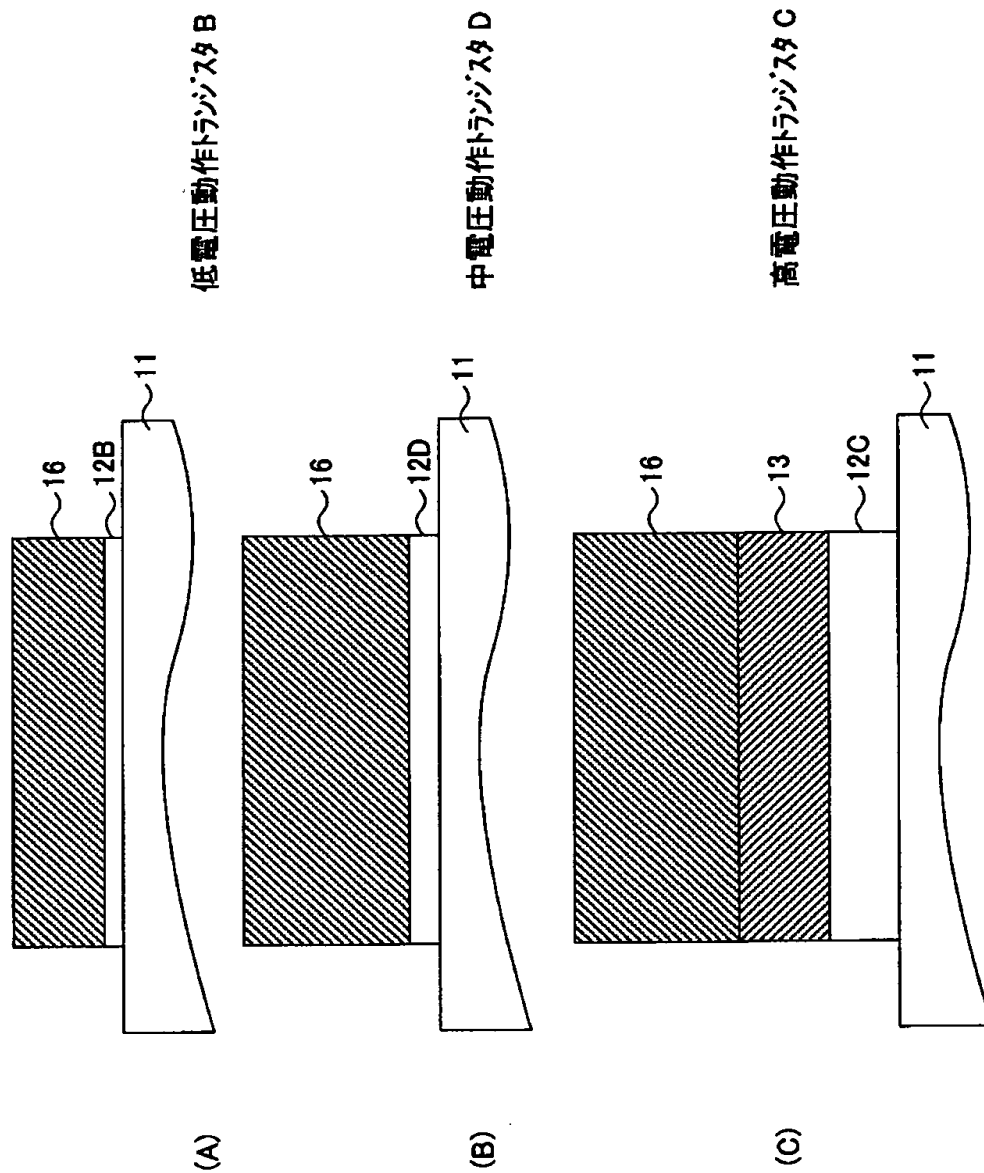
(K)、(L) は、本発明の第3実施例による  
フラッシュメモリを含む半導体集積回路装置の  
製造工程を示す図（その6）





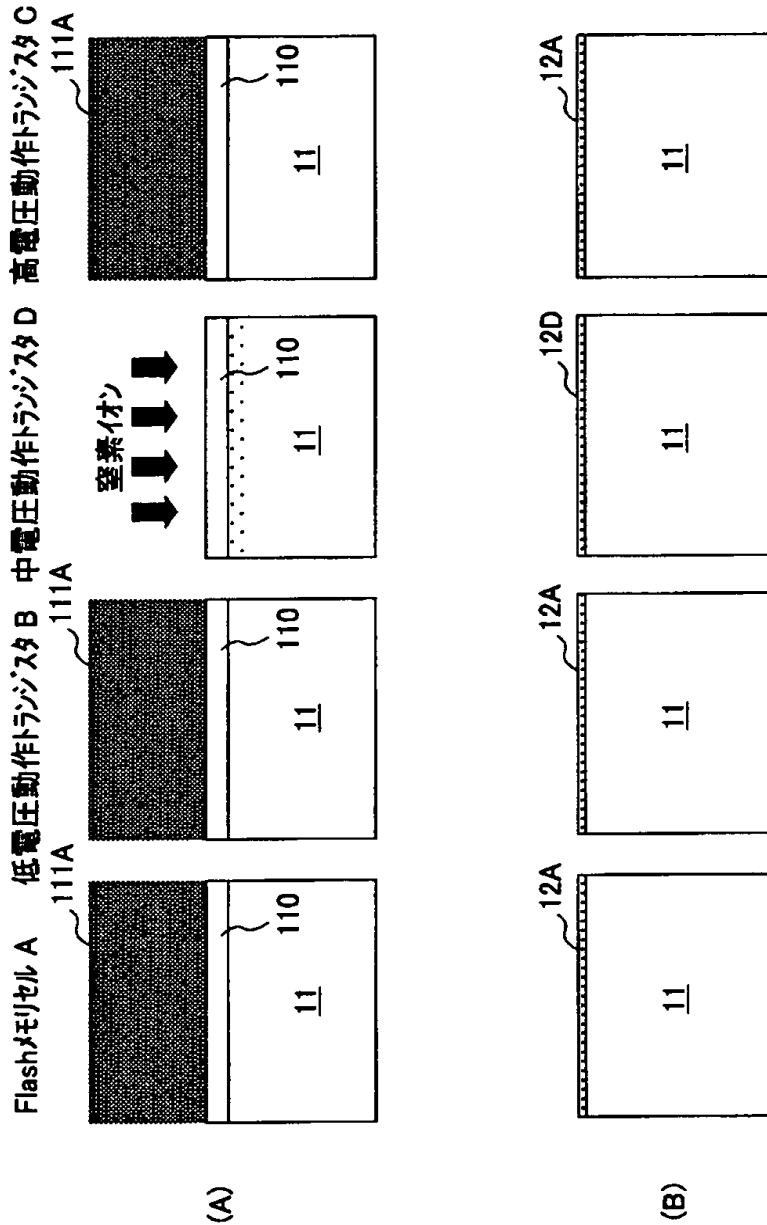
【図 83】

(A) ~ (C) は、本発明の第3実施例による  
半導体集積回路装置の一部を示す図



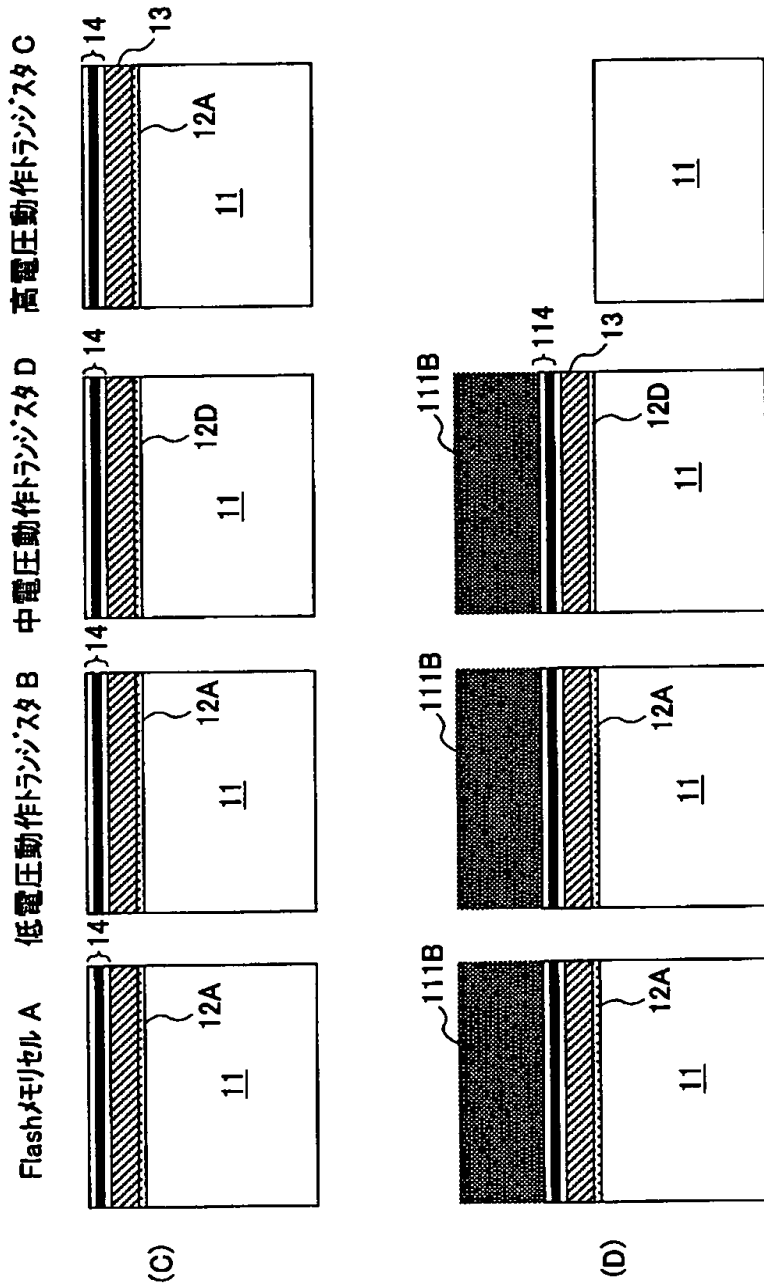
【図 8 4】

(A), (B) は、本発明の第 4 実施例による  
フラッシュメモリを含む半導体集積回路装置の  
製造工程を示す図 (その 1)



【図85】

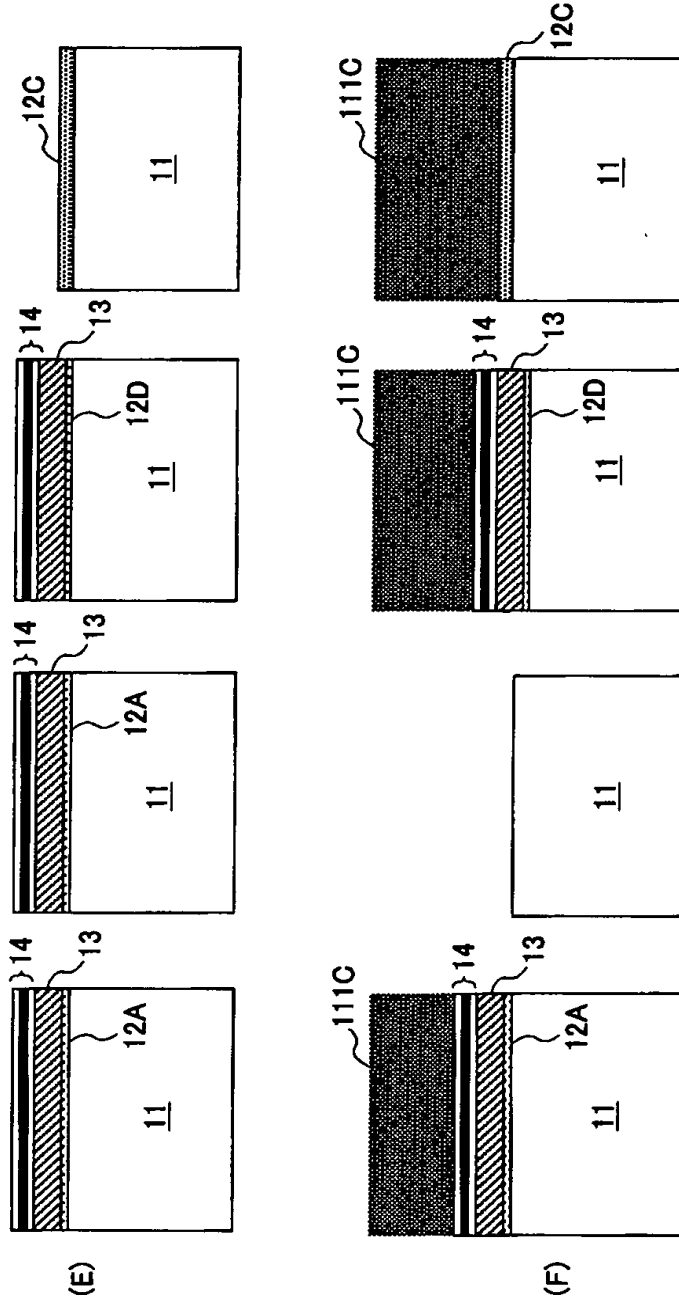
(C)、(D)は、本発明の第4実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図（その2）



【図 8 6】

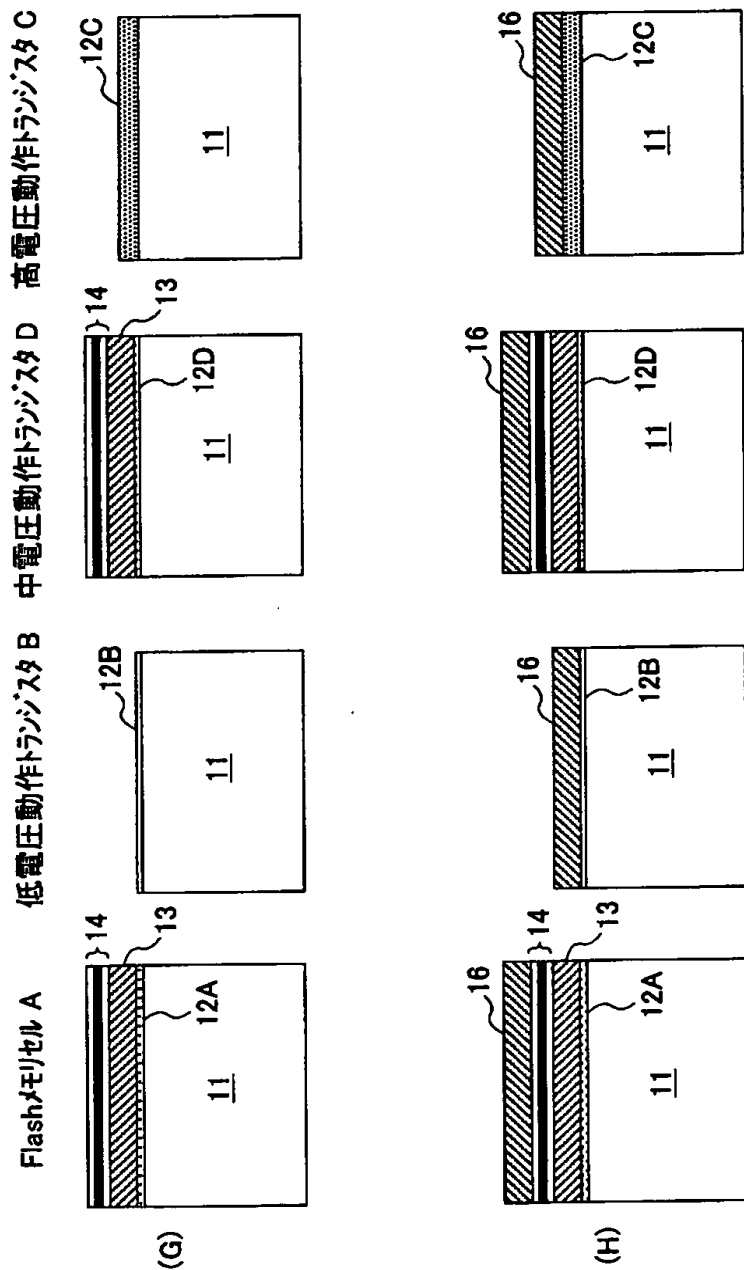
(E)、(F) は、本発明の第 4 実施例による  
フラッシュメモリを含む半導体集積回路装置の  
製造工程を示す図（その 3）

Flashメモリセル A      低電圧動作トランジスタ B      中電圧動作トランジスタ D      高電圧動作トランジスタ C



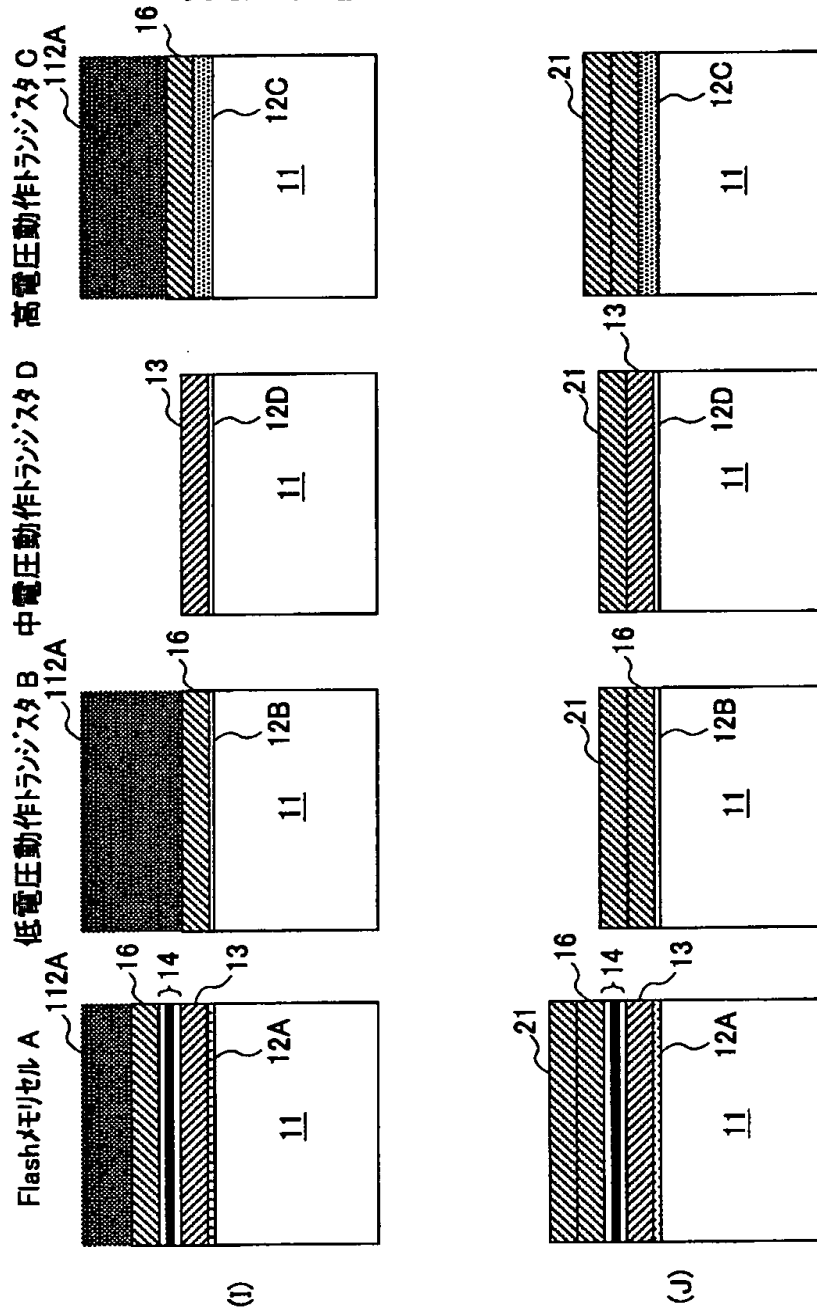
【図 87】

(G)、(H) は、本発明の第 4 実施例による  
フラッシュメモリを含む半導体集積回路装置の  
製造工程を示す図（その 4）



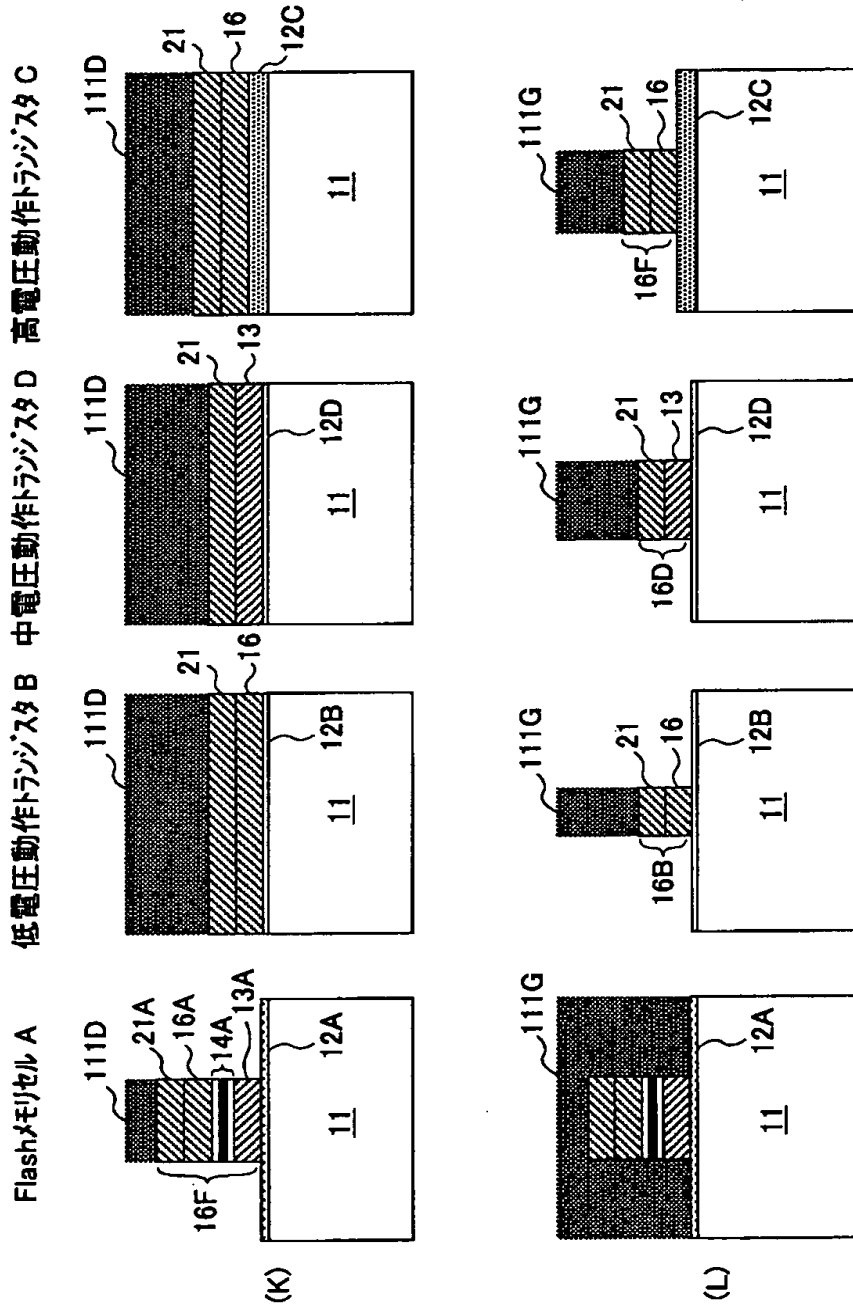
【図 88】

(I), (J) は、本発明の第 4 実施例による  
フラッシュメモリを含む半導体集積回路装置の  
製造工程を示す図（その 5）



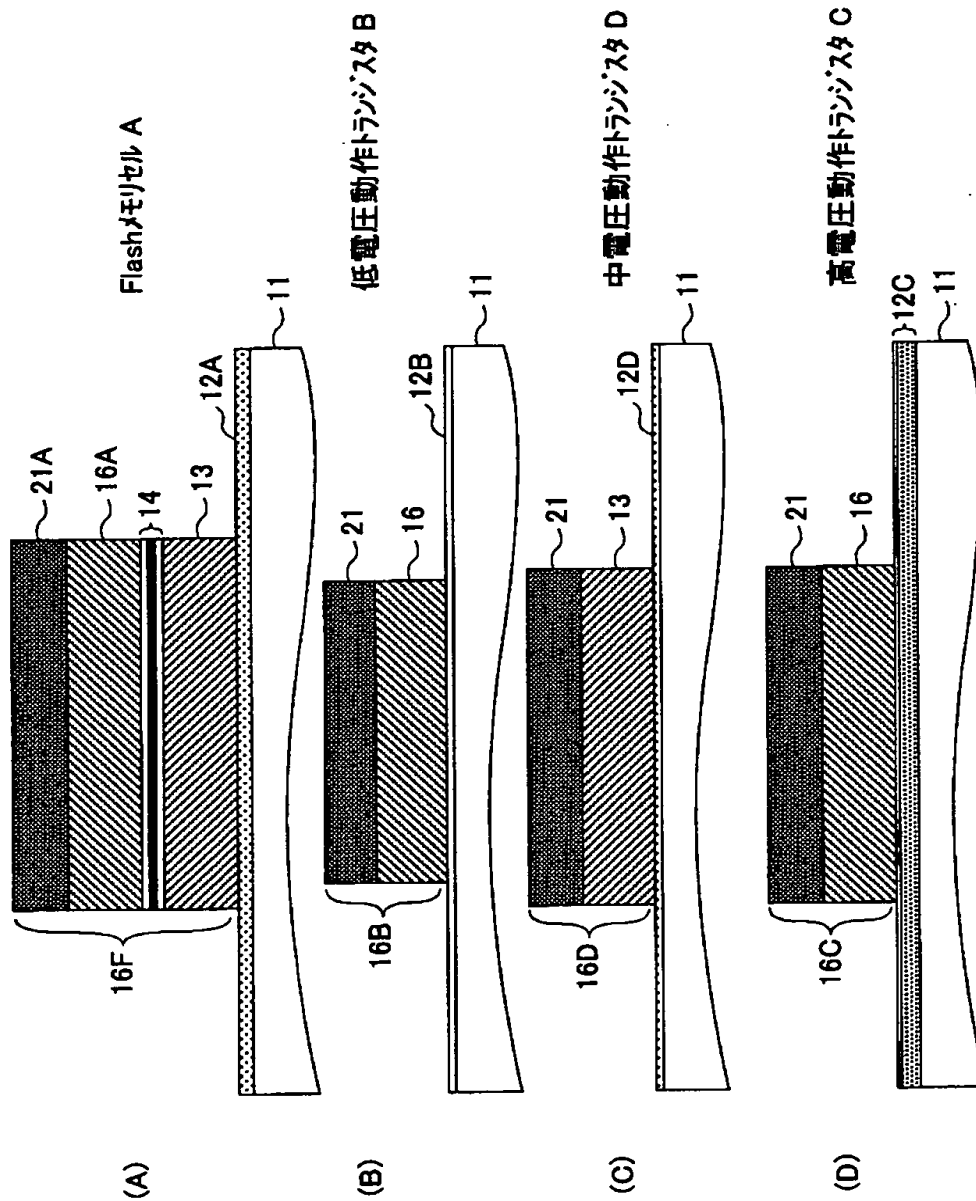
【図89】

(K), (L)は、本発明の第4実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その6)



【図90】

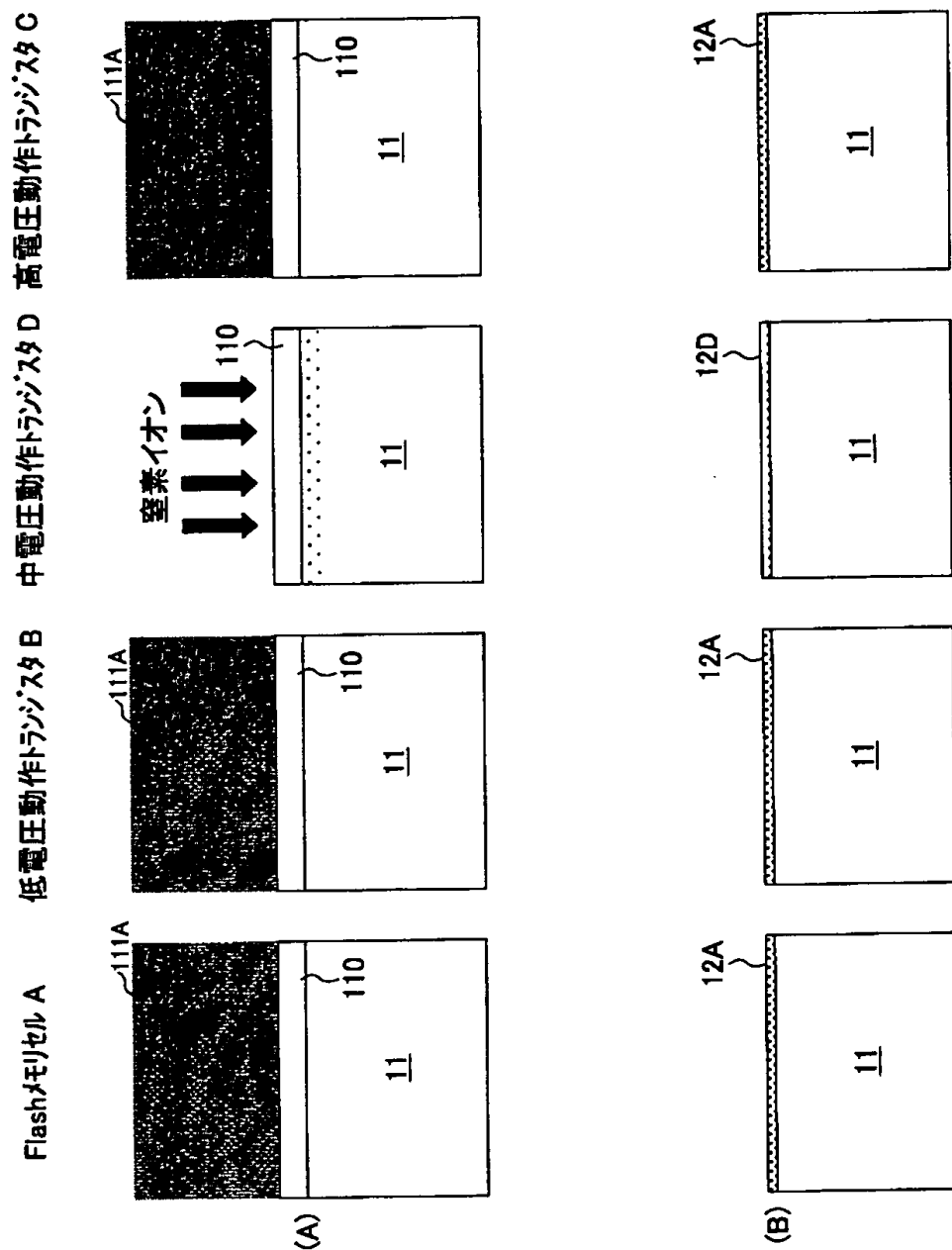
(A) ~ (D) は、本発明の第4実施例による  
半導体集積回路装置の一部を示す図





【図 9 1】

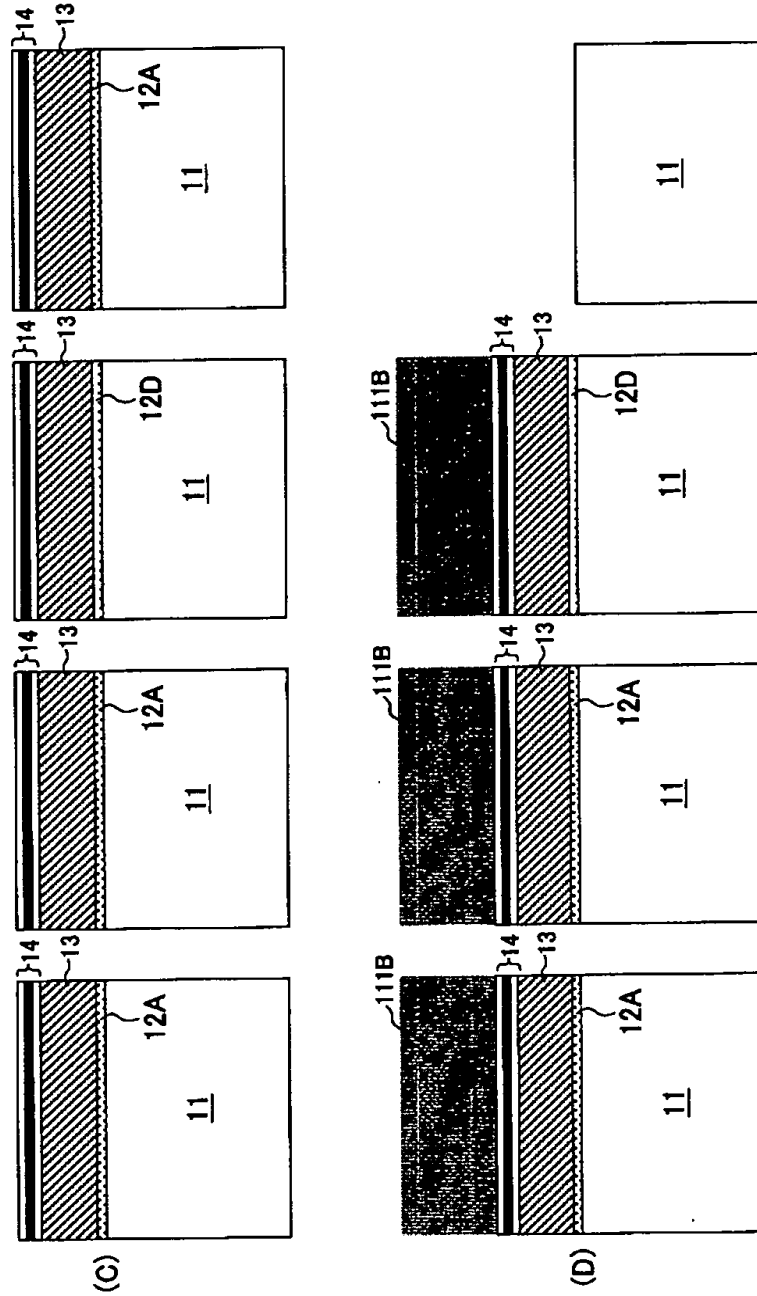
(A), (B)は、本発明の第5実施例によるフラッシュメモリを含む  
半導体集積回路装置の製造工程を示す図(その1)



【図 9 2】

(C), (D)は、本発明の第5実施例によるフラッシュメモリを含む  
半導体集積回路装置の製造工程を示す図(その2)

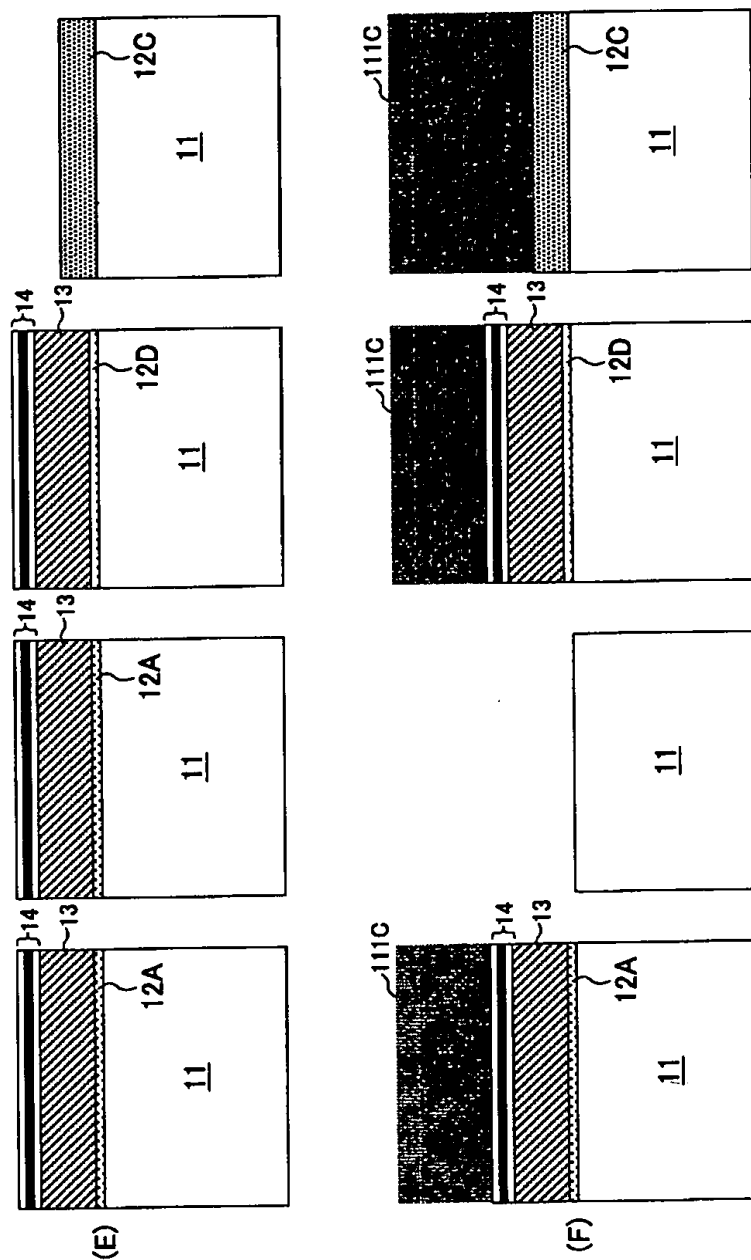
Flashメモリセル A      低電圧動作トランジスタ B      中電圧動作トランジスタ D      高電圧動作トランジスタ C



【図 93】

(E)、(F)は、本発明の第5実施例によるフラッシュメモリを含む  
半導体集積回路装置の製造工程を示す図(その3)

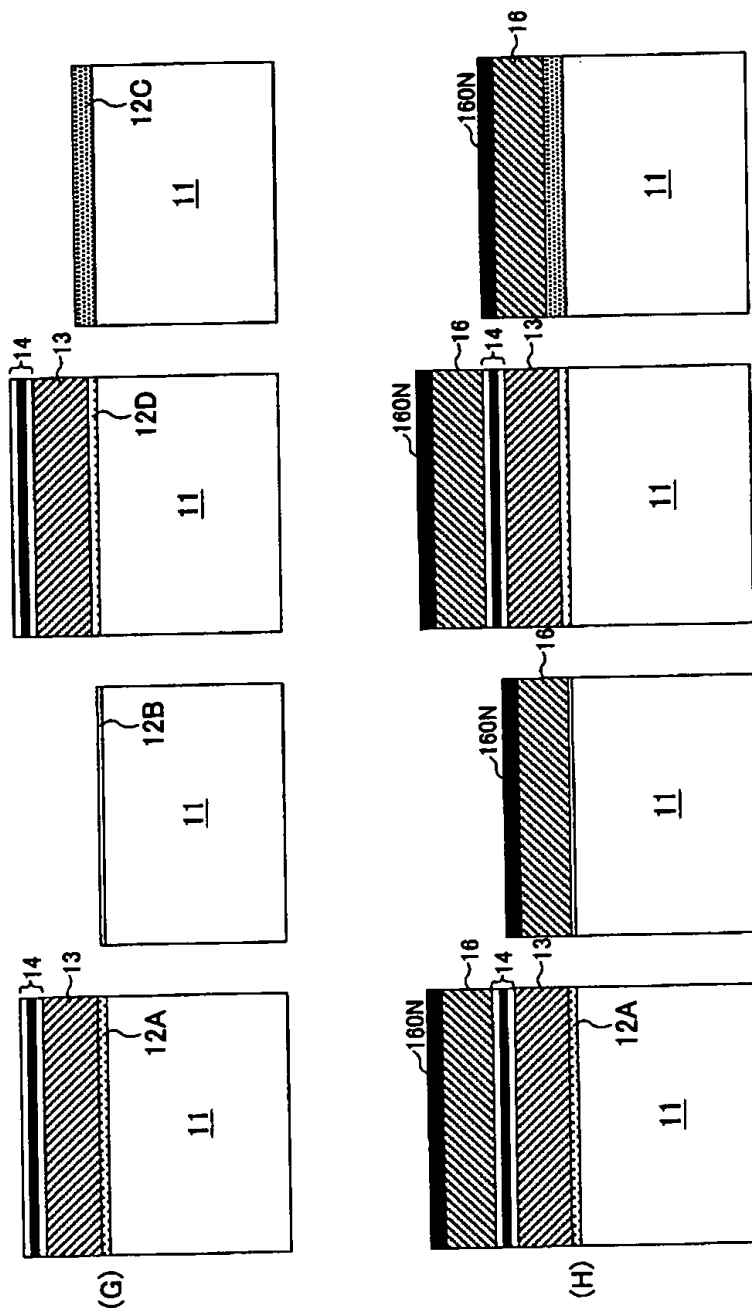
Flashメモリセル A      低電圧動作トランジスタ B      中電圧動作トランジスタ D      高電圧動作トランジスタ C



【図 9 4】

(G), (H)は、本発明の第5実施例によるフラッシュメモリを含む  
半導体集積回路装置の製造工程を示す図(その4)

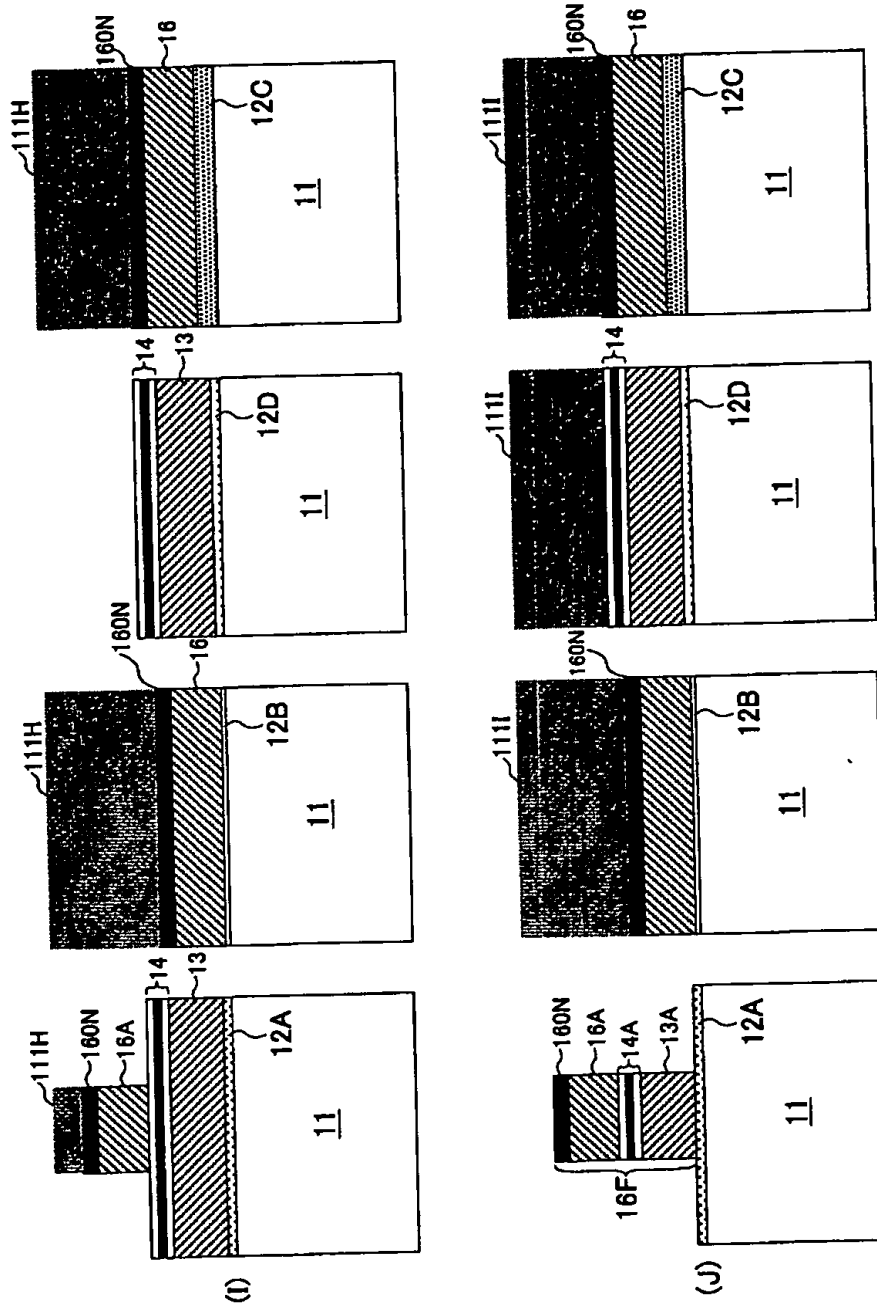
Flashメモリセル A      低電圧動作トランジスタ B      中電圧動作トランジスタ D      高電圧動作トランジスタ C



【図95】

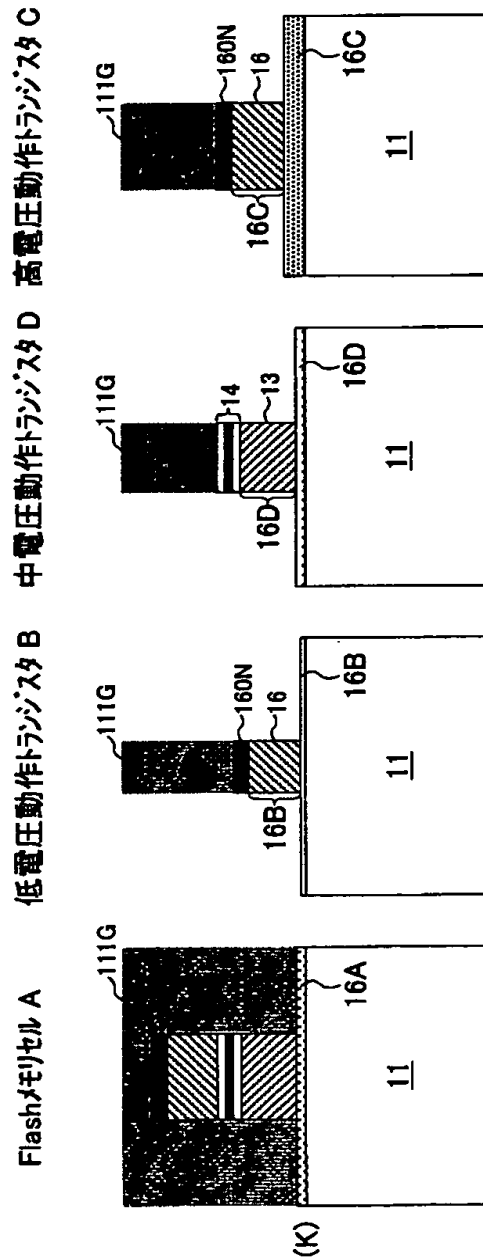
(I), (J)は、本発明の第5実施例によるフラッシュメモリを含む  
半導体集積回路装置の製造工程を示す図(その5)

Flashメモリセル A      低電圧動作トランジスタ B      中電圧動作トランジスタ D      高電圧動作トランジスタ C



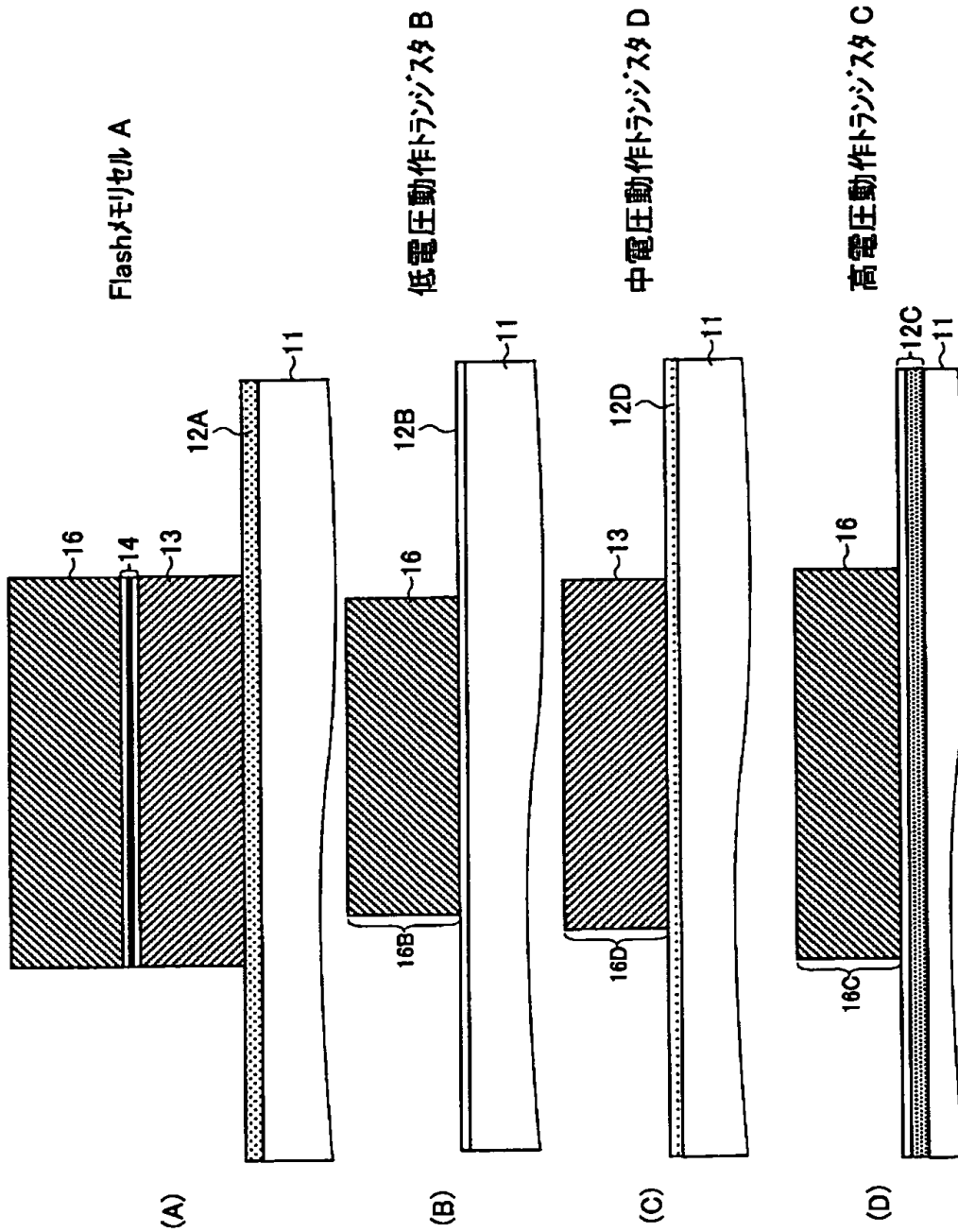
【図 9 6】

(K)は、本発明の第5実施例によるフラッシュメモリを含む  
半導体集積回路装置の製造工程を示す図(その6)



【図 97】

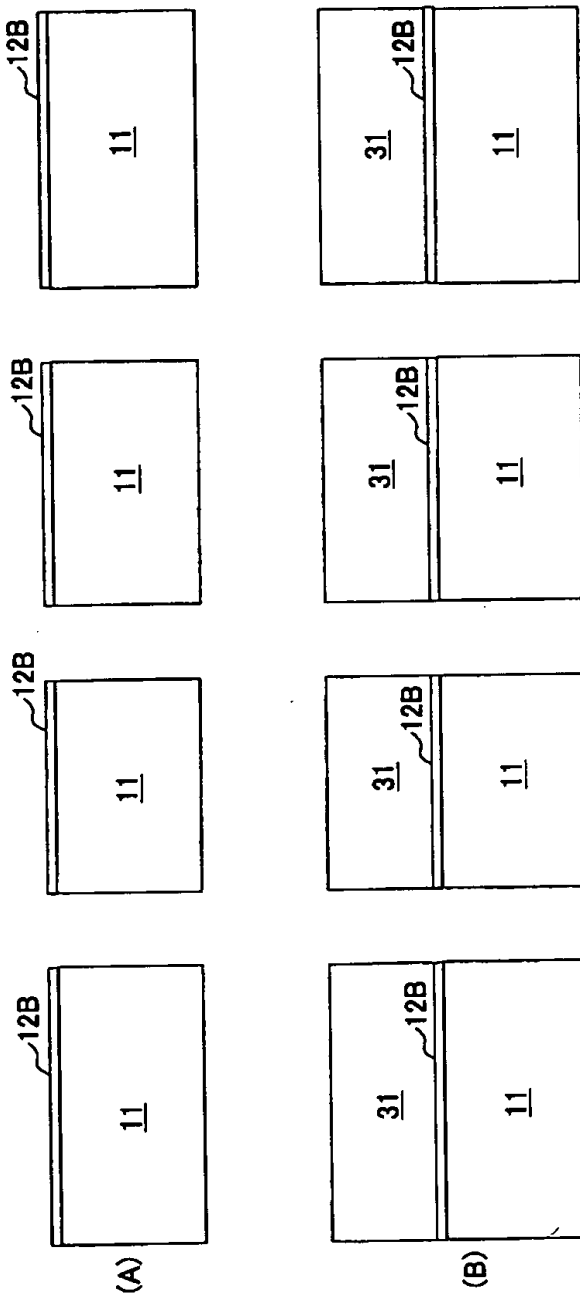
(A)～(D)は、本発明の第5実施例による  
半導体集積回路装置の一部を示す図



【図 9 8】

(A), (B)は、本発明の第6実施例によるフラッシュメモリを含む  
半導体集積回路装置の製造工程を示す図(その1)

Flashメモリセル A      低電圧動作トランジスタ B      中電圧動作トランジスタ D      高電圧動作トランジスタ C

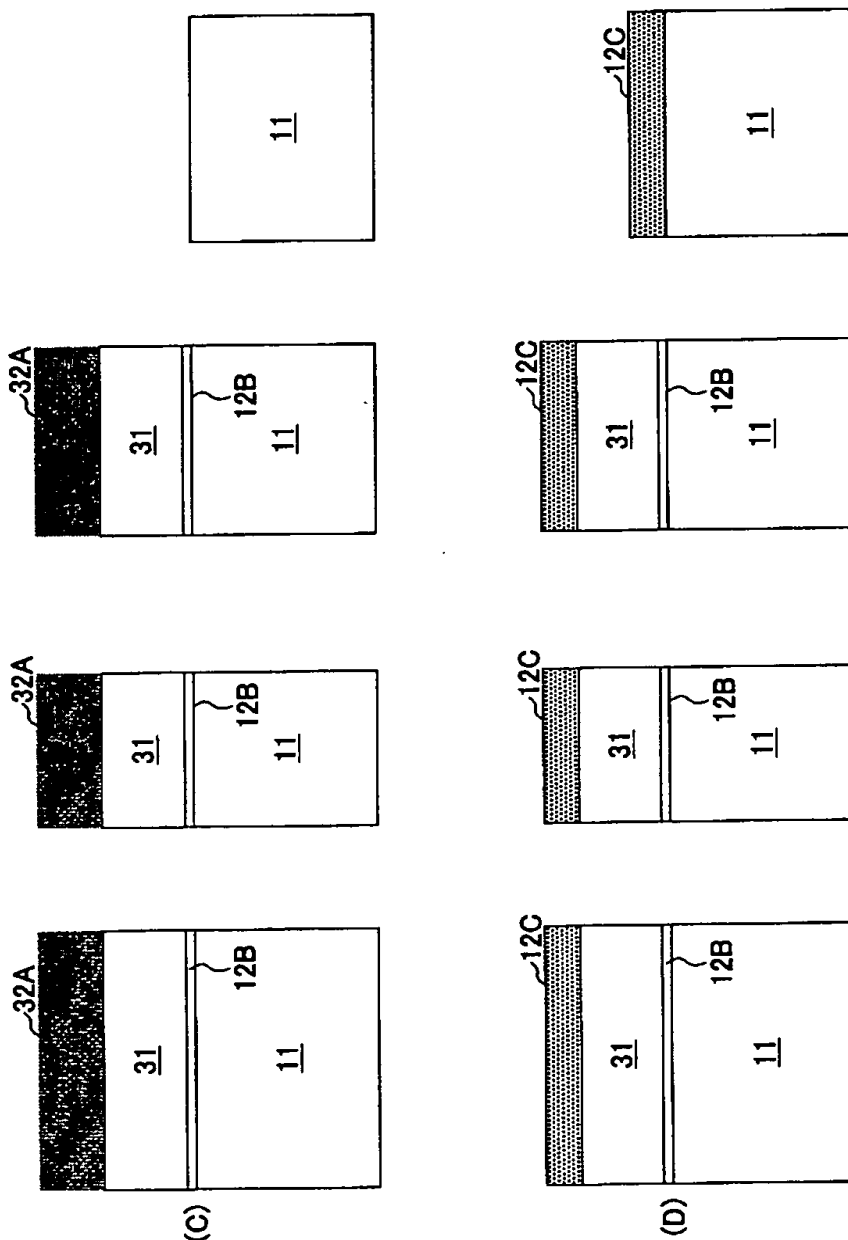




【図 99】

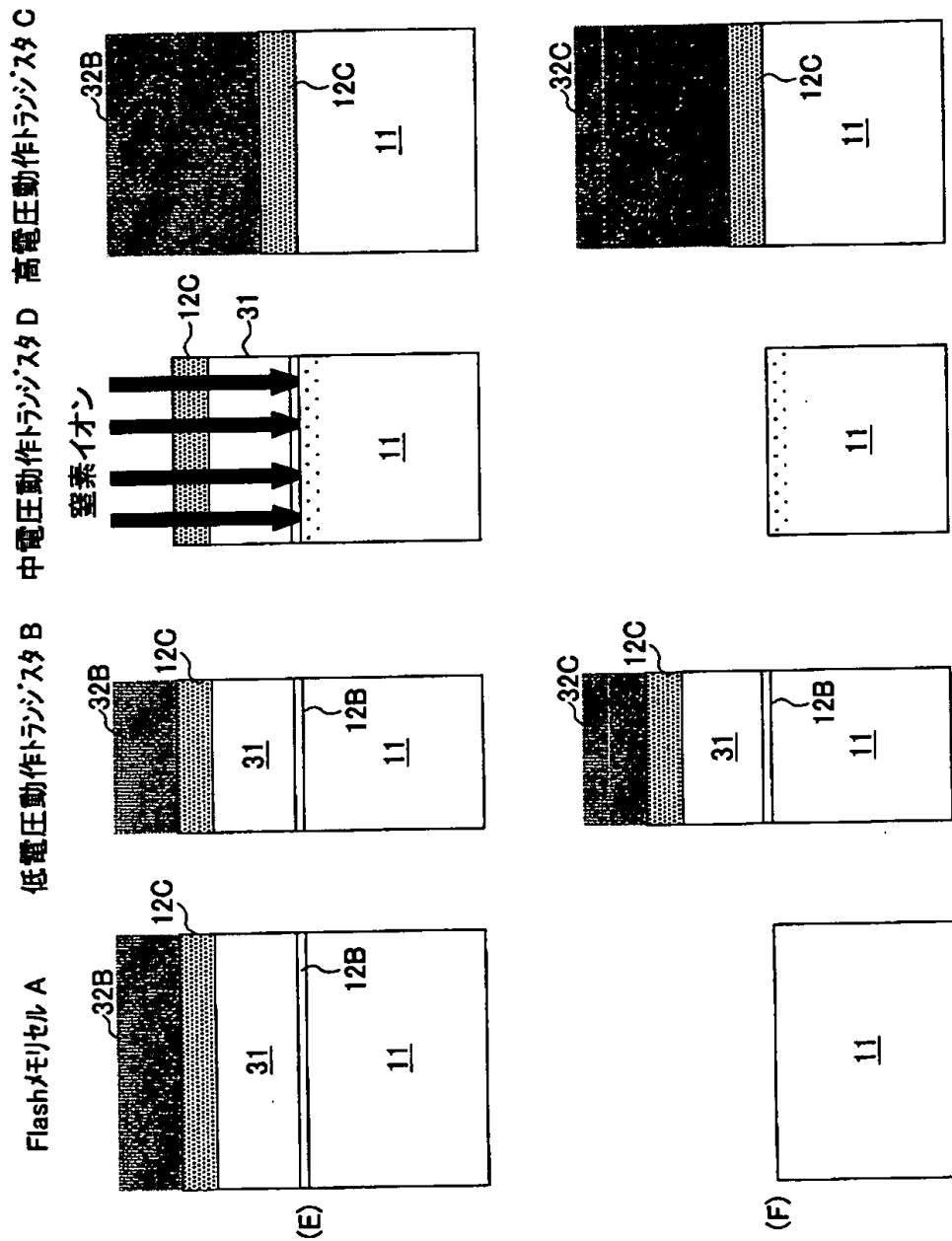
(C), (D)は、本発明の第6実施例によるフラッシュメモリを含む  
半導体集積回路装置の製造工程を示す図(その2)

Flashメモリセル A      低電圧動作トランジスタ B      中電圧動作トランジスタ D      高電圧動作トランジスタ C



【図100】

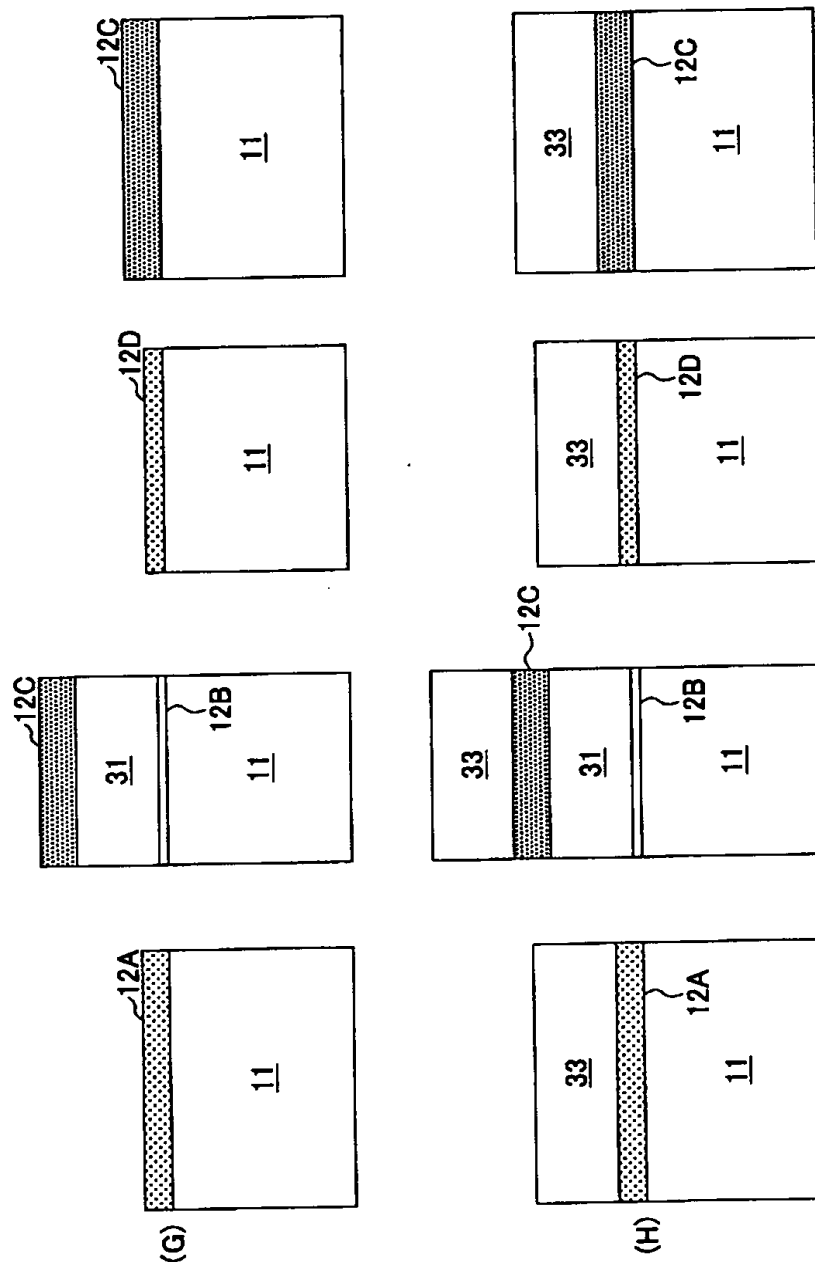
(E)、(F)は、本発明の第6実施例によるフラッシュメモリを含む  
半導体集積回路装置の製造工程を示す図(その3)



【図101】

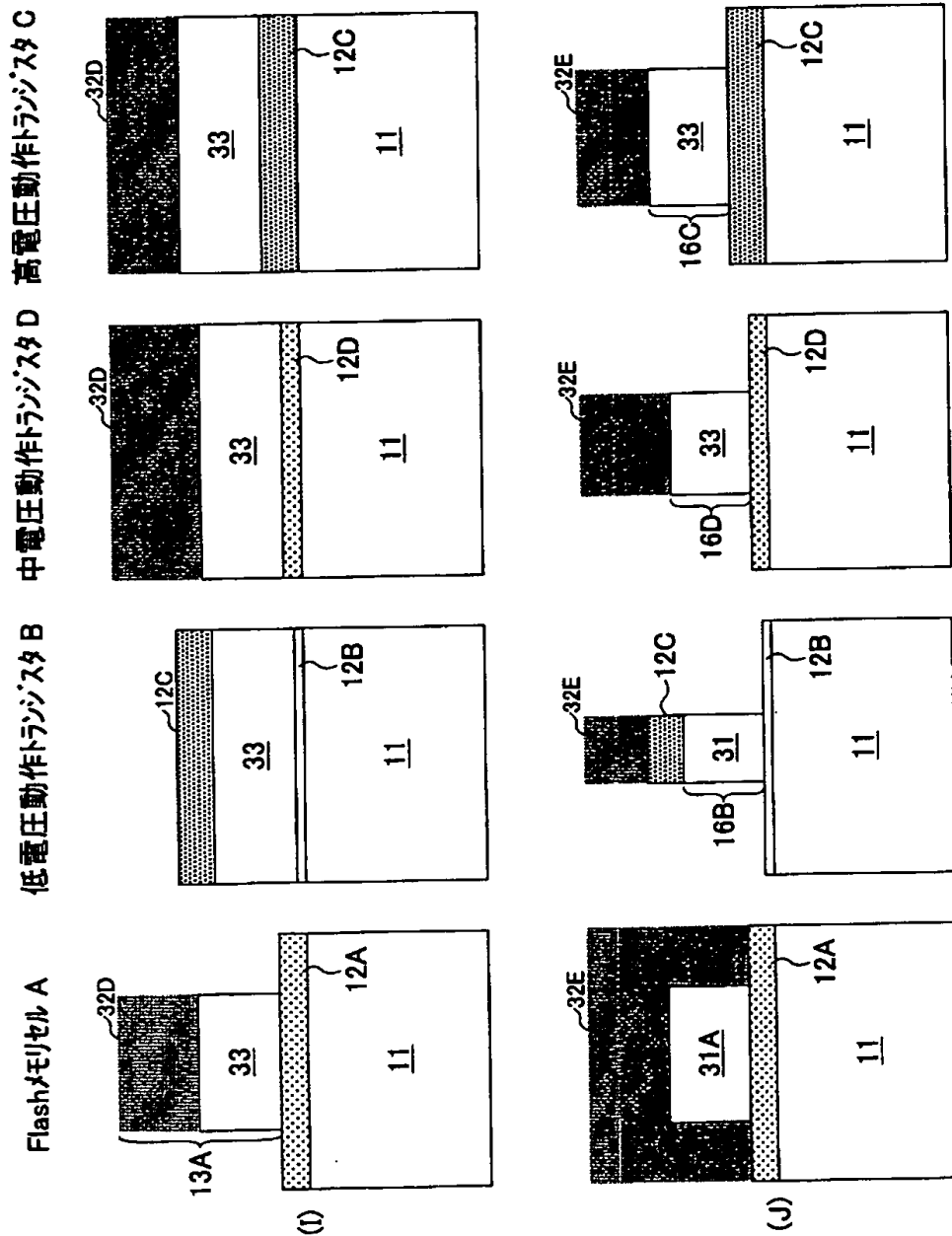
(G)、(H)は、本発明の第6実施例によるフラッシュメモリを含む  
半導体集積回路装置の製造工程を示す図(その4)

Flashメモリセル A      低電圧動作トランジスタ B      中電圧動作トランジスタ D      高電圧動作トランジスタ C



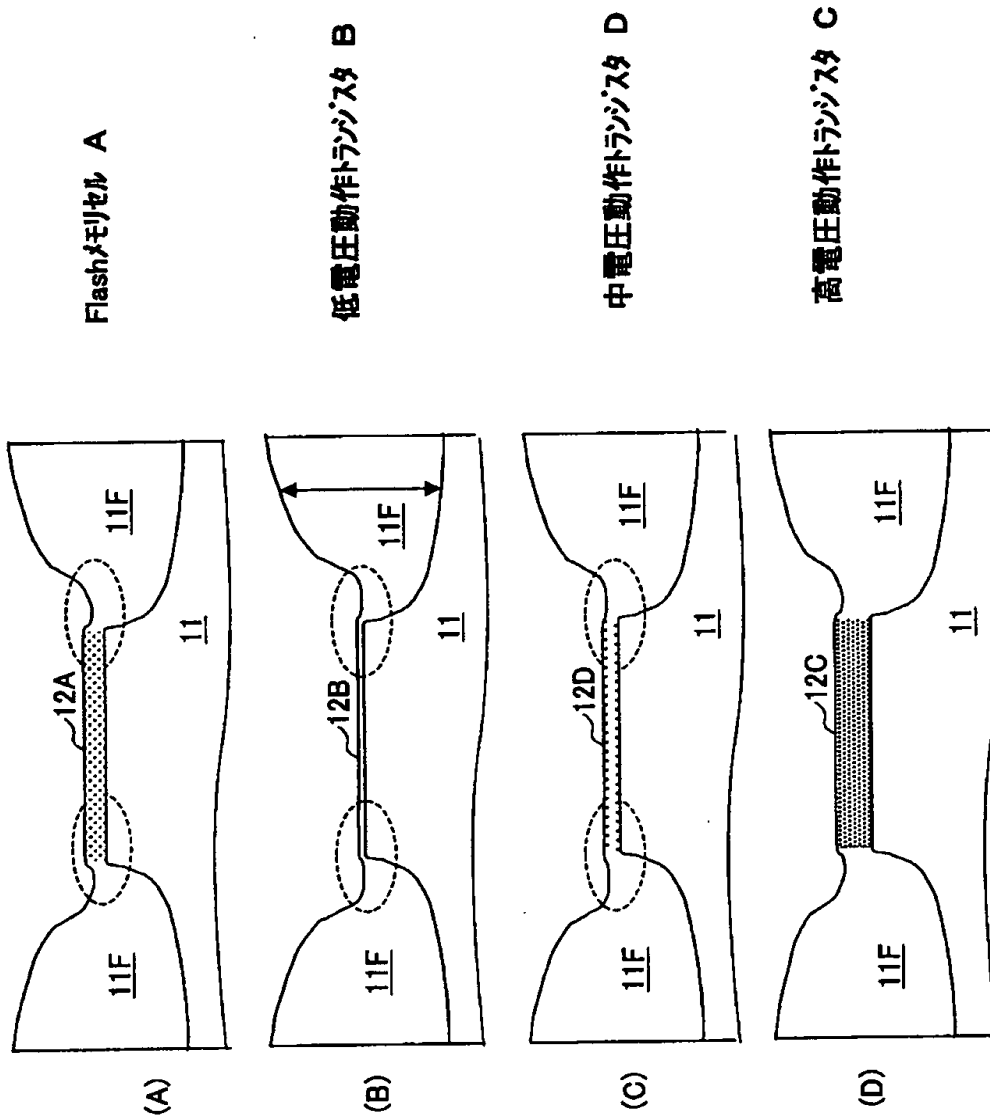
【図102】

(I), (J)は、本発明の第6実施例によるフラッシュメモリを含む  
半導体集積回路装置の製造工程を示す図(その5)



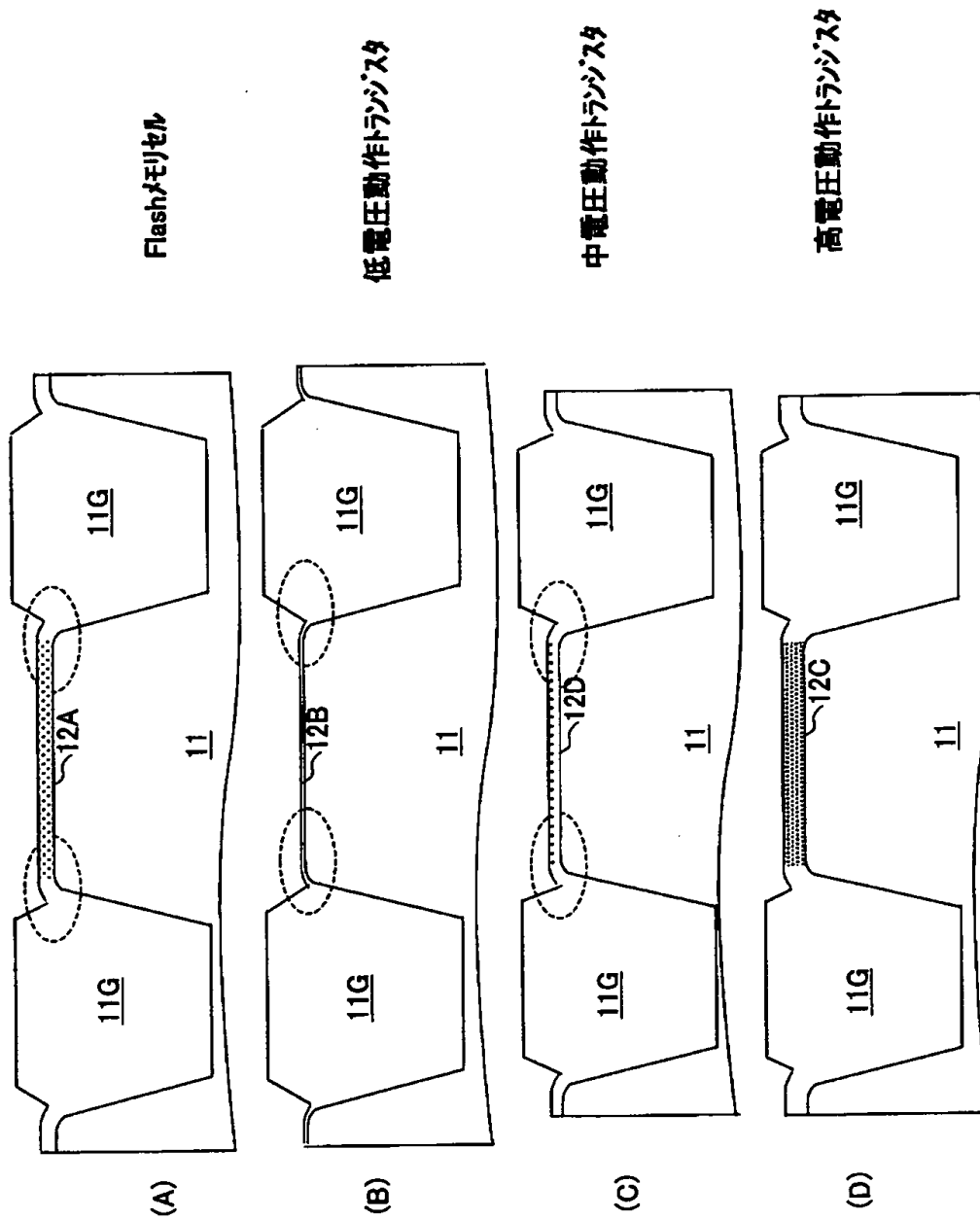
【図103】

(A)～(D)は、本発明の第6実施例による  
半導体集積回路装置の一部を示す図



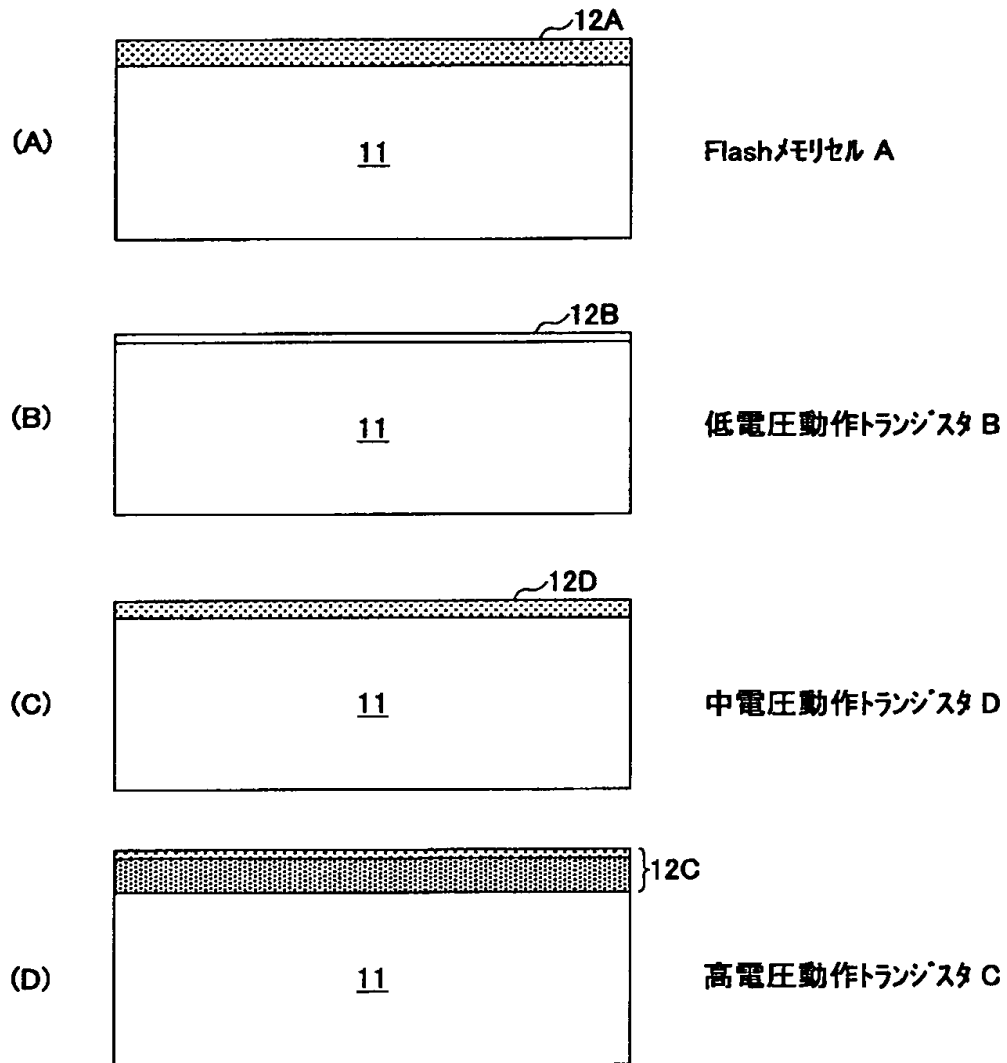
【図 1 0 4】

(A)～(D)は、本発明の第6実施例による  
半導体集積回路装置の一部を示す別の図



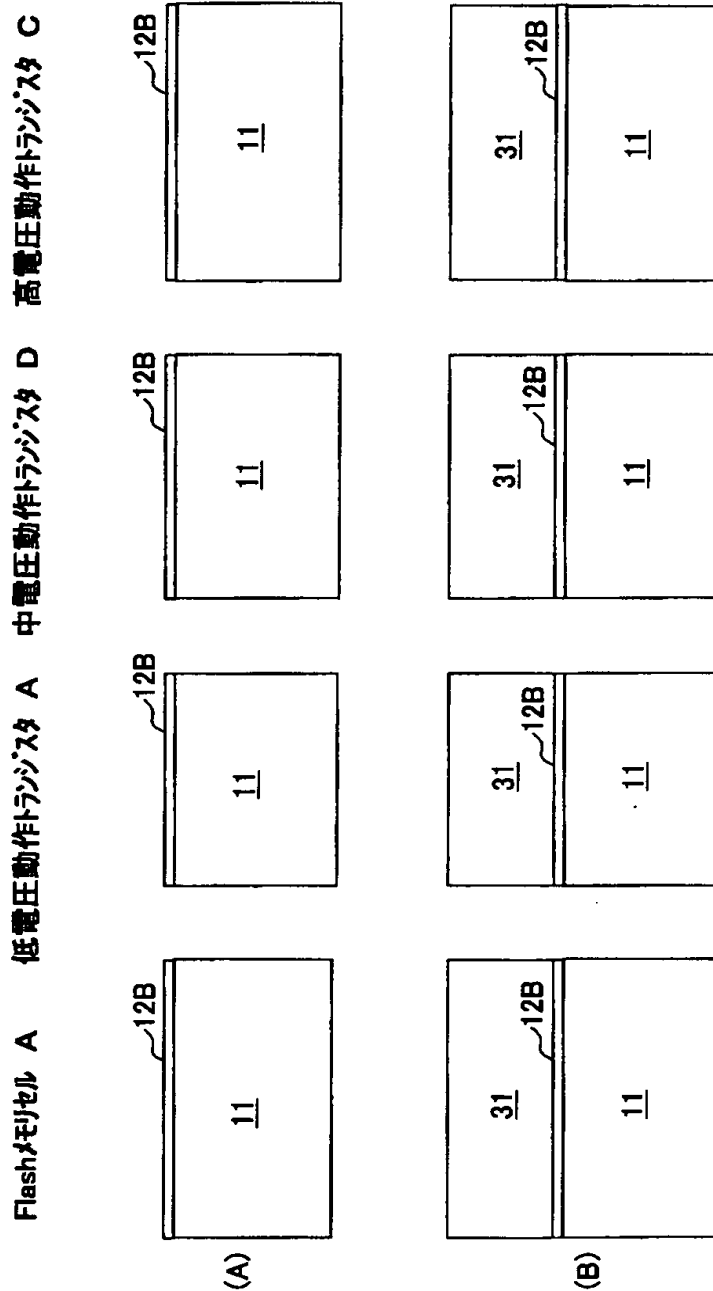
【図 1 0 5】

(A)～(D)は、本発明の第6実施例による  
半導体集積回路装置の一部を示す別の図



【図 1 0 6】

(A)、(B)は、本発明の第6実施例の一変形例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その1)

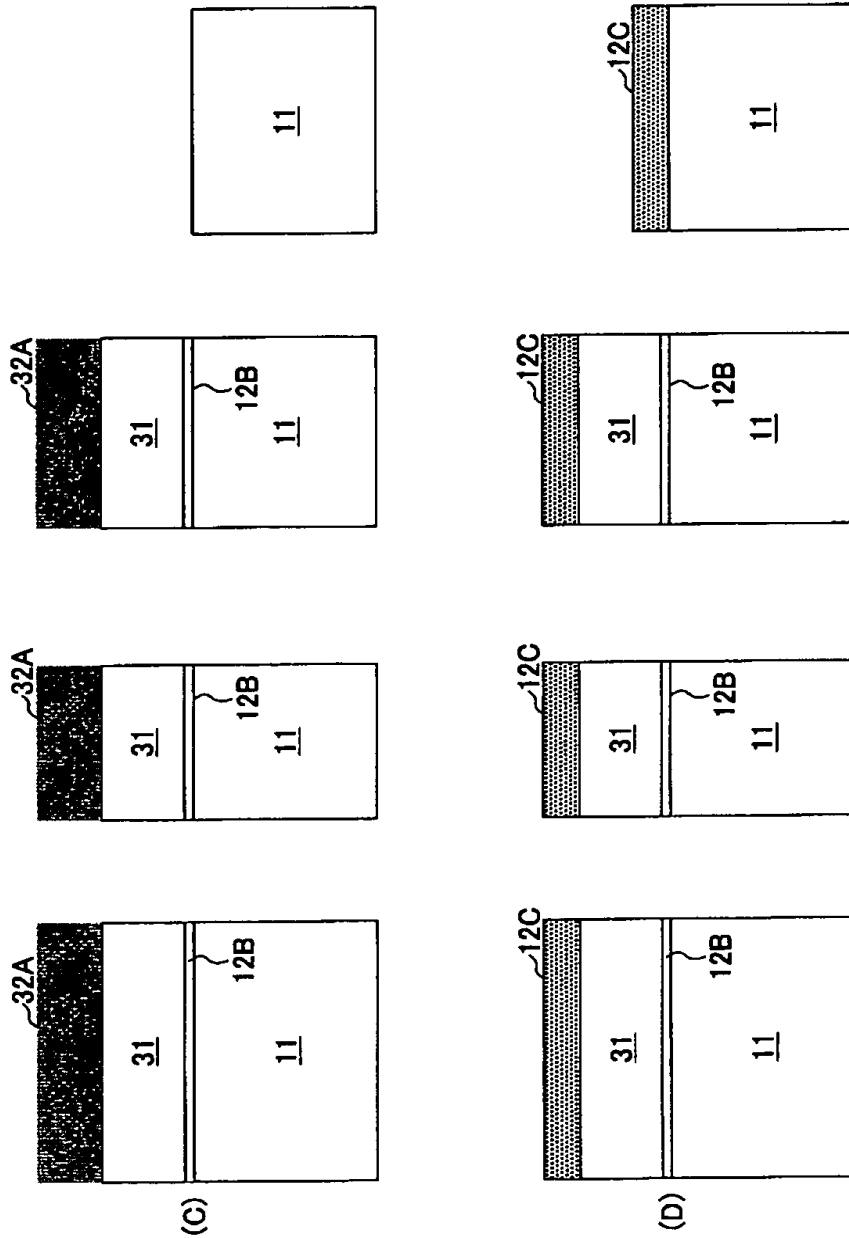




【図107】

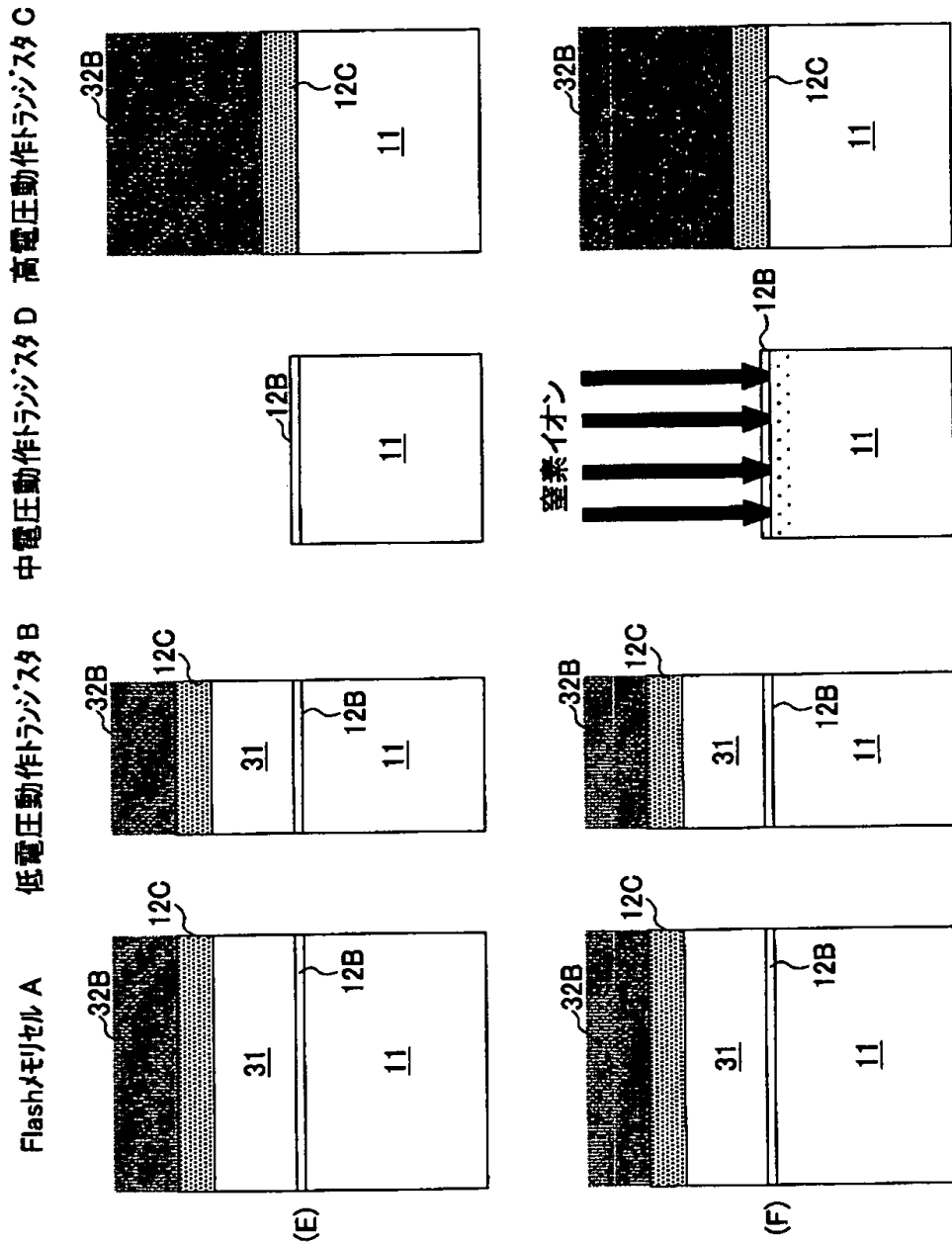
(C)、(D)は、本発明の第6実施例の一変形例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その2)

Flashメモリセル A      低電圧動作トランジスタ B      中電圧動作トランジスタ D      高電圧動作トランジスタ C



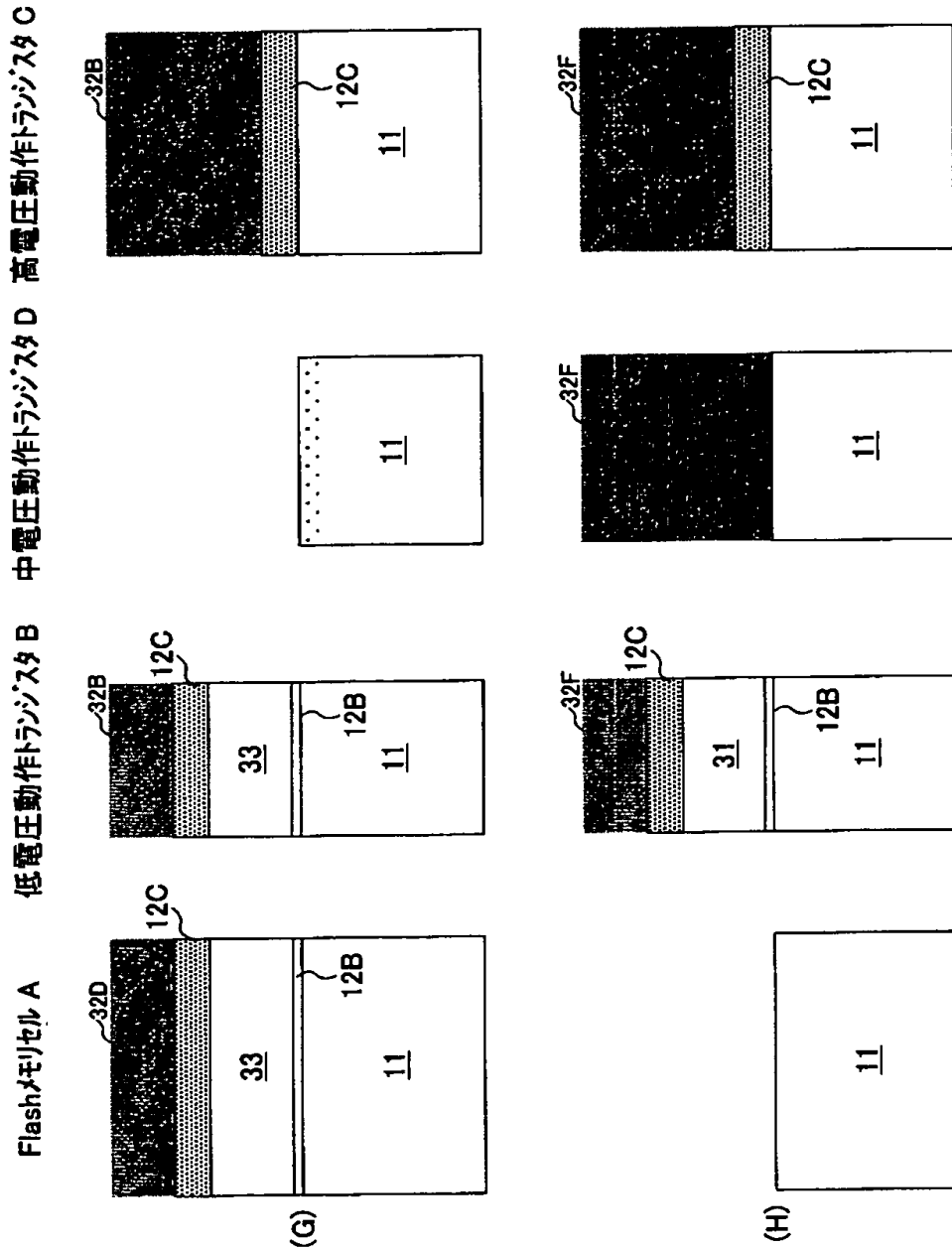
【図108】

(E)、(F)は、本発明の第6実施例の一変形例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その3)



【図109】

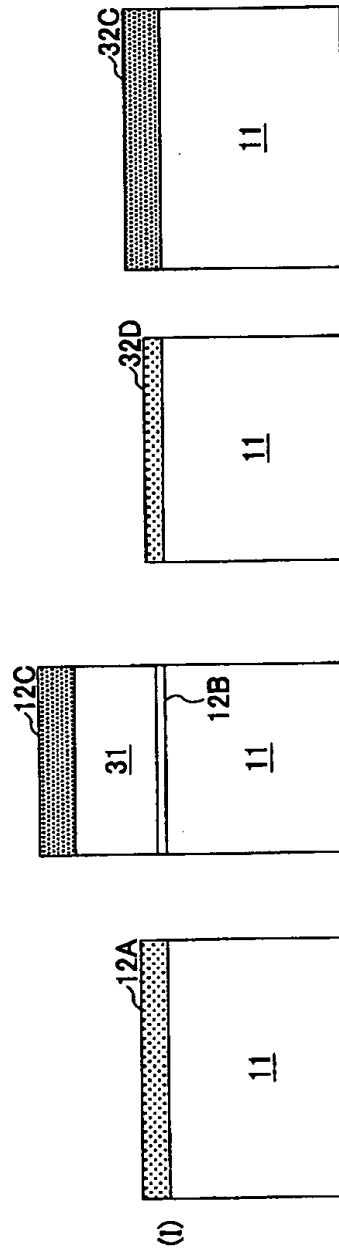
(G)、(H)は、本発明の第6実施例の一変形例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その4)



【図110】

(I)は、本発明の第6実施例の一変形例によるフラッシュメモリを含む  
半導体集積回路装置の製造工程を示す図(その5)

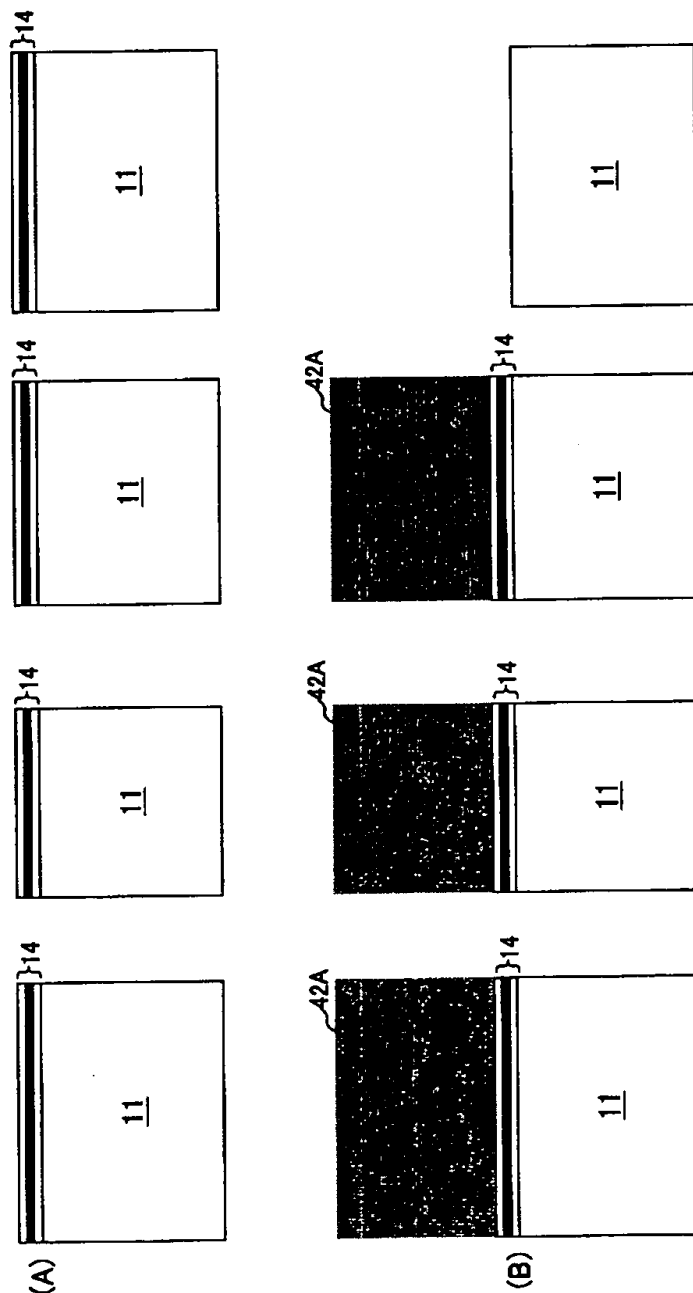
Flashメモリセル A      低電圧動作トランジスタ B      中電圧動作トランジスタ D      高電圧動作トランジスタ C



【図 1 1 1】

(A), (B)は、本発明の第7実施例によるフラッシュメモリを含む  
半導体集積回路装置の製造工程を示す図(その1)

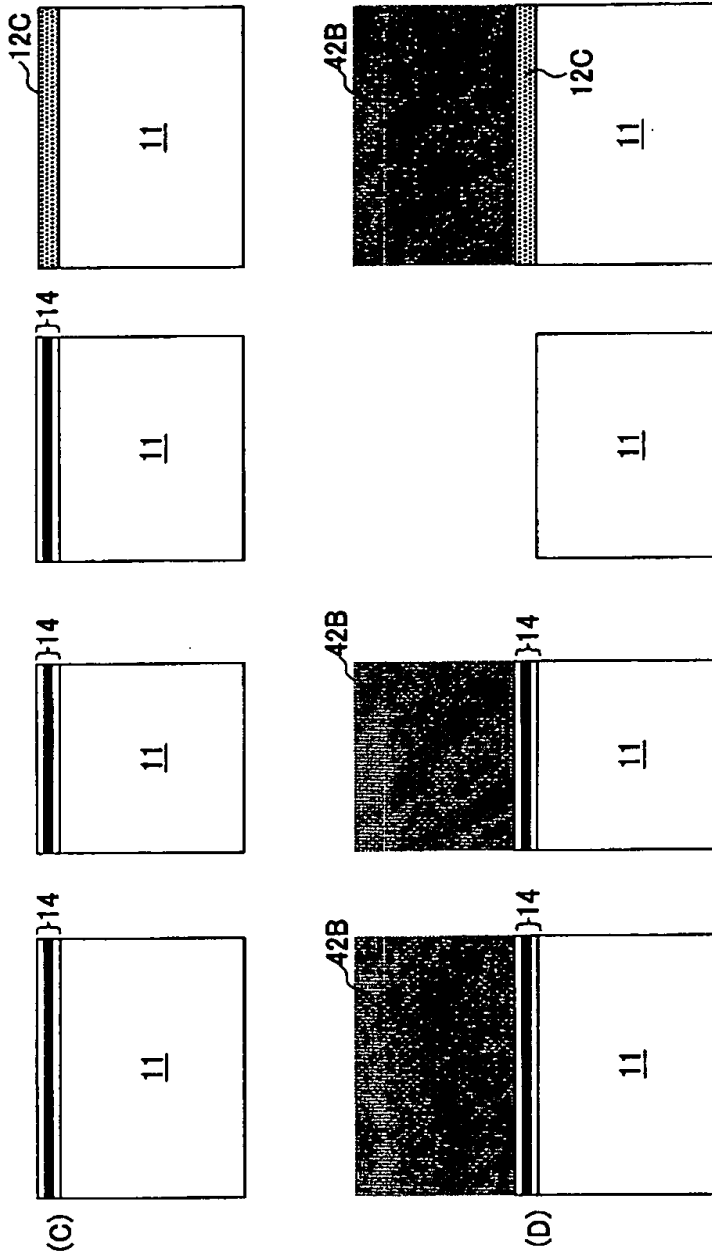
Flashメモリセル A      低電圧動作トランジスタ B      中電圧動作トランジスタ D      高電圧動作トランジスタ C



【図112】

(C)、(D)は、本発明の第7実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その2)

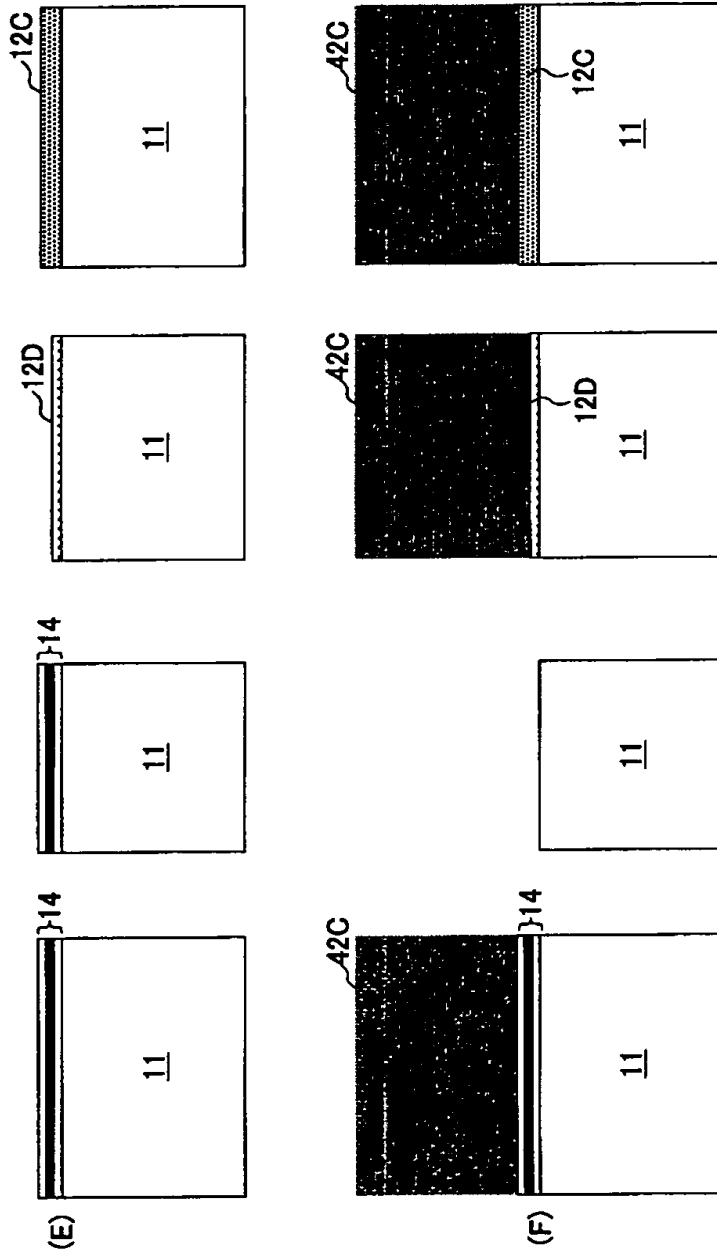
Flashメモリ A      低電圧動作トランジスタ B      中電圧動作トランジスタ D      高電圧動作トランジスタ C



【図113】

(E), (F)は、本発明の第7実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その3)

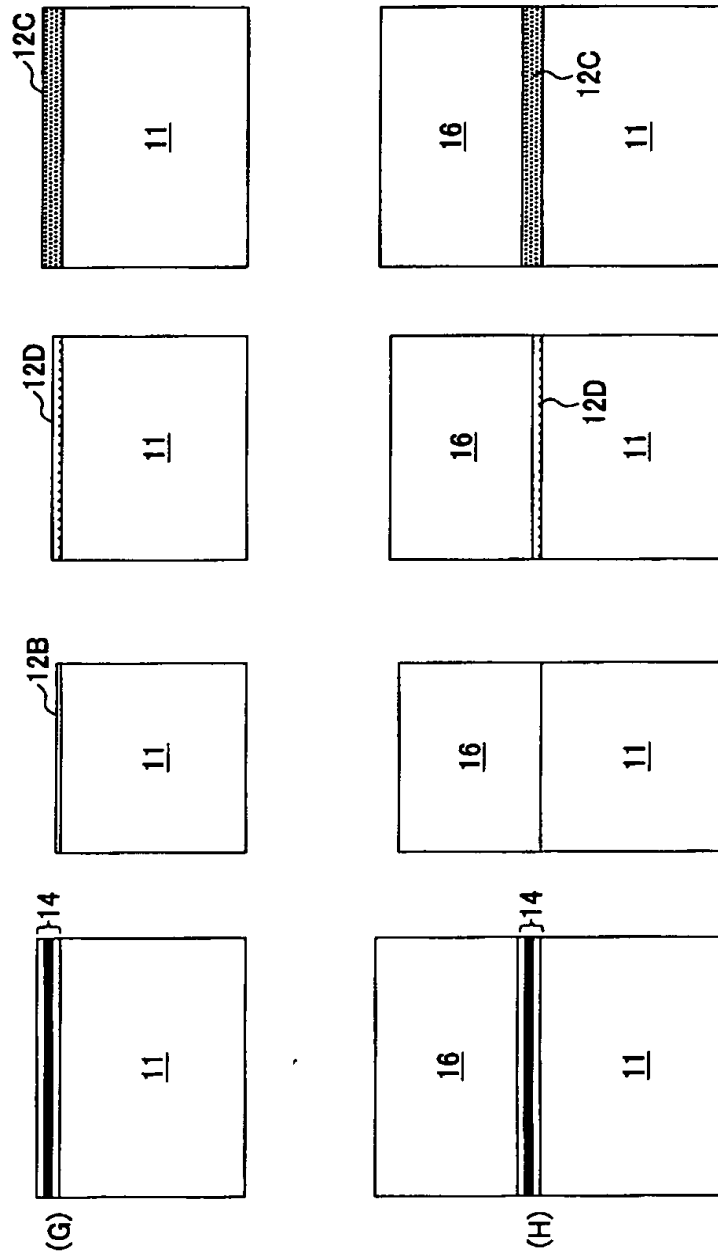
Flashメモリ A      低電圧動作トランジスタ B      中電圧動作トランジスタ D      高電圧動作トランジスタ C



【図114】

(G)、(H)は、本発明の第7実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その4)

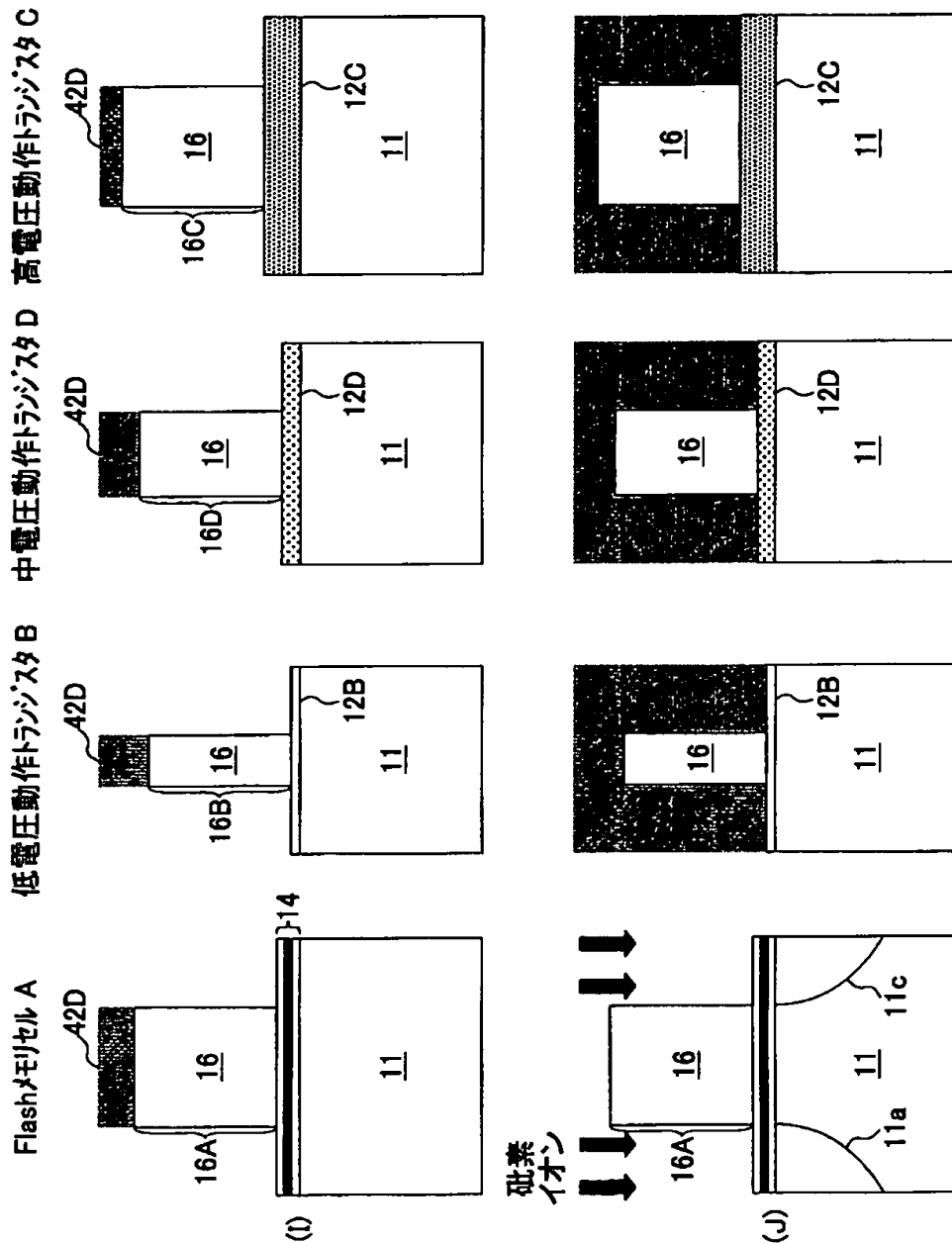
Flashメモリセル A 低電圧動作トランジスタ B 中電圧動作トランジスタ D 高電圧動作トランジスタ C





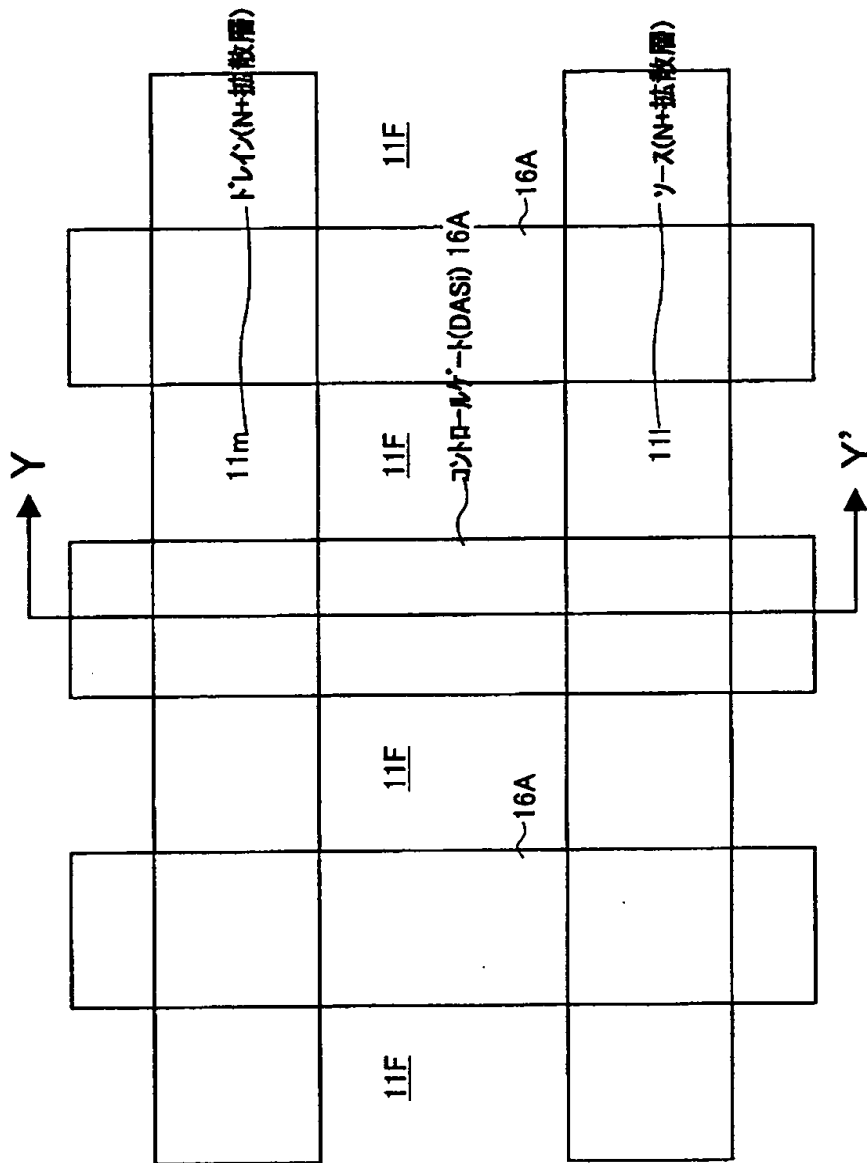
【図 1 1 5】

(I), (J)は、本発明の第7実施例によるフラッシュメモリを含む半導体集積回路装置の製造工程を示す図(その5)



【図 116】

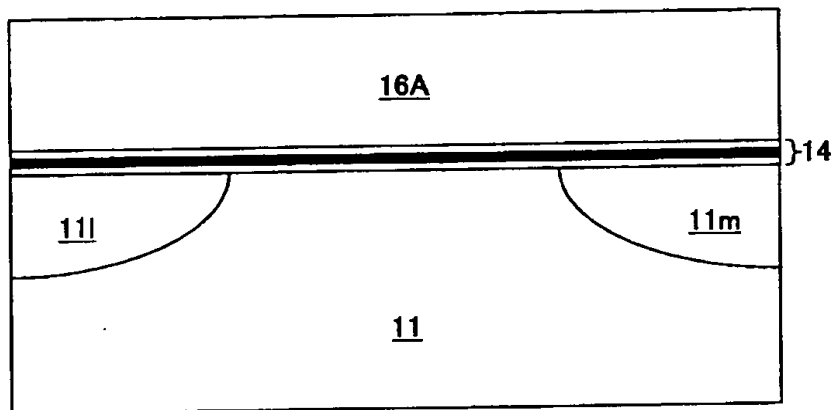
本発明の第8実施例によるフラッシュメモリの構成を示す平面図



【図 1 1 7】

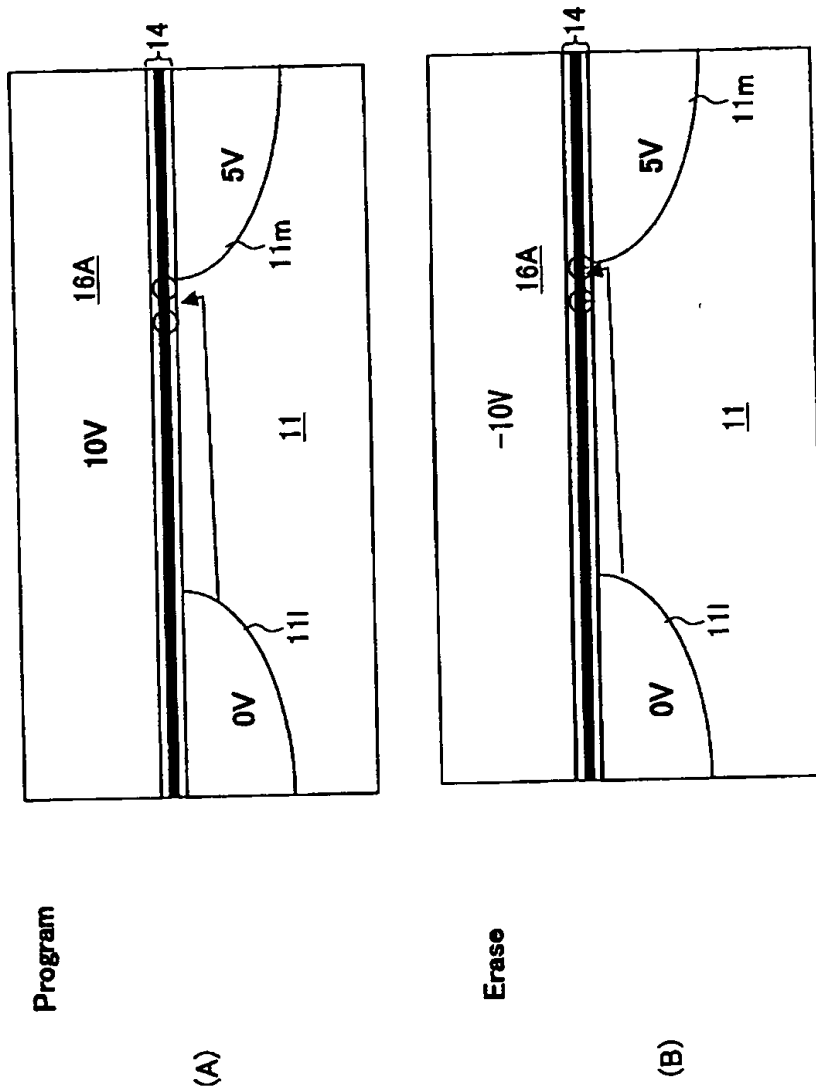
図116のフラッシュメモリの断面構造を示す図

Y-Y'



【図 118】

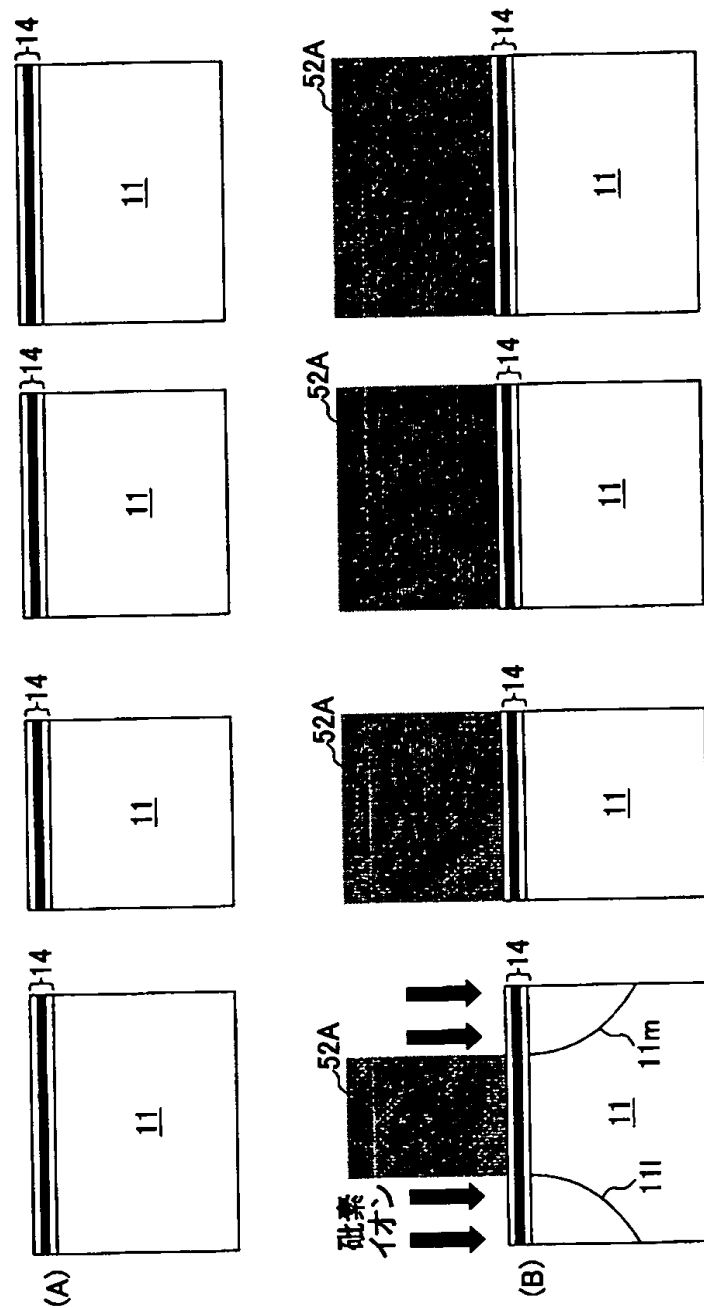
(A), (B)は、図116のフラッシュメモリの動作を説明する図



【図 119】

(A), (B)は、図116のフラッシュメモリの製造工程を示す図

Flashメモリセル A      低電圧動作トランジスタ B      中電圧動作トランジスタ D      高電圧動作トランジスタ C



【書類名】 要約書

【要約】

【課題】 フラッシュメモリを含み、多電源電圧に対応した集積回路装置において、素子領域周辺が熱酸化処理工程とエッチング工程を繰り返すことによりくぼんでしまう問題を解決する。

【解決手段】 一の素子領域を熱酸化処理する際に、他の素子領域を耐酸化性膜により覆い、かかる他の素子領域における熱酸化膜の肥大を抑制する。

【選択図】 図 5 3

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社